

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JP903 U.S. PTO
09/892225
06/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月27日

出 願 番 号

Application Number:

特願2000-193612

出 願 人

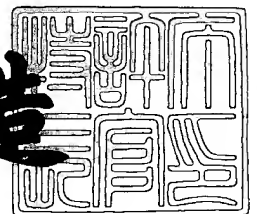
Applicant(s):

株式会社半導体エネルギー研究所

2001年 4月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3036274

【書類名】 特許願

【整理番号】 P005025

【提出日】 平成12年 6月27日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 三津木 亨

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 笠原 健司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 浅見 勇臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高野 圭恵

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 志知 武司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小久保 千穂

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその作製方法

【特許請求の範囲】

【請求項 1】

結晶構造を有する半導体層でチャネル形成領域が形成された半導体装置において、前記半導体層は、シリコンを主成分としゲルマニウムを含有する第 1 の結晶質半導体膜と、シリコンを主成分とする第 2 の結晶質半導体膜とから成り、前記第 1 の結晶質半導体膜及び前記第 2 の結晶質半導体膜に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 2】

結晶構造を有する半導体層でチャネル形成領域が形成された半導体装置において、前記半導体層は、シリコンを主成分とし、該シリコンよりも原子半径の大きな元素を含有する第 1 の結晶質半導体膜と、シリコンを主成分とする第 2 の結晶質半導体膜とから成り、前記第 1 の結晶質半導体膜及び前記第 2 の結晶質半導体膜に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記第 1 の結晶質半導体膜は前記第 2 の結晶質半導体膜の厚さよりも薄いことを特徴とする半導体装置。

【請求項 4】

請求項 1 または請求項 2 において、前記第 1 の結晶質半導体膜は絶縁表面上に形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 または請求項 2 において、前記半導体層の前記チャネル形成領域に含まれる金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項 6】

請求項 5 において、前記金属元素は、Fe、Co、Ni、Ru、Rh、Pd、

Os、Ir、Pt、Cu、Auから選ばれた一種または複数種であることを特徴とする半導体装置。

【請求項 7】

請求項 1 または請求項 2 において、前記半導体層の厚さは 20 nm 乃至 100 nm であることを特徴とする半導体装置。

【請求項 8】

絶縁表面上に、シリコンを主成分としゲルマニウムを含有する第 1 の非晶質半導体膜を形成する第 1 の工程と、

前記第 1 の半導体膜上に、シリコンを主成分とする第 2 の非晶質半導体膜を形成する第 2 の工程と、

前記第 1 の非晶質半導体膜または前記第 2 の非晶質半導体膜にシリコンの結晶化を助長する元素を添加する第 3 の工程と、

前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜とを加熱処理により結晶化させ、第 1 の結晶質半導体膜と第 2 の結晶質半導体膜を形成する第 4 の工程と

を有することを特徴とする半導体装置の作製方法。

【請求項 9】

絶縁表面上に、シリコンを主成分とし、該シリコンよりも原子半径の大きな元素を含有する第 1 の非晶質半導体膜を形成する第 1 の工程と、

前記第 1 の半導体膜上に、シリコンを主成分とする第 2 の非晶質半導体膜を形成する第 2 の工程と、

前記第 1 の非晶質半導体膜または前記第 2 の非晶質半導体膜にシリコンの結晶化を助長する元素を添加する第 3 の工程と、

前記第 1 の非晶質半導体膜及び前記第 2 の非晶質半導体膜とを加熱処理により結晶化させ、第 1 の結晶質半導体膜と第 2 の結晶質半導体膜を形成する第 4 の工程と

を有することを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 8 または請求項 9 において、前記第 4 の工程の後に、レーザー光を照射

して前記第 1 の結晶質半導体膜と前記第 2 の結晶質半導体膜の結晶性を高める第 5 の工程を有することを特徴とする半導体装置の作製方法。

【請求項 1 1】

請求項 8 または請求項 9 において、前記第 4 の工程の後に、ハロゲンランプ、キセノンランプ、メタルハライドランプ、水銀ランプから選ばれた一つを光源とする強光を照射して前記第 1 の結晶質半導体膜と前記第 2 の結晶質半導体膜の結晶性を高める第 5 の工程を有することを特徴とする半導体装置の作製方法。

【請求項 1 2】

請求項 8 または請求項 9 において、前記第 1 の非晶質半導体膜と前記第 2 の非晶質半導体膜とはプラズマ C V D 装置を用いて作製され、前記プラズマ C V D 装置の反応室に接続する排気手段は、ターボ分子ポンプとドライポンプとが用いられることを特徴とする半導体装置の作製方法。

【請求項 1 3】

請求項 8 または請求項 9 において、前記シリコンの結晶化を助長する元素が F e、C o、N i、R u、R h、P d、O s、I r、P t、C u、A u から選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項 1 4】

請求項 8 または請求項 9 において、前記第 1 の非晶質半導体膜は前記第 2 の非晶質半導体膜の厚さよりも薄く形成することを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 8 または請求項 9 において、前記第 1 の非晶質半導体膜と前記第 2 の非晶質半導体膜との合計の厚さは 2 0 n m 乃至 1 0 0 n m の厚さに形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は結晶構造を有する半導体膜でチャネル形成領域を形成した半導体装置に関する。特に、薄膜トランジスタ、或いは、該薄膜トランジスタで回路を形成

した半導体装置に関する。尚、本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、半導体集積回路、電気光学装置、及び半導体集積回路や電気光学装置を搭載した電子機器は半導体装置の範疇に含まれるものとする。

【0002】

【従来の技術】

ガラスや石英などの基板上に薄膜トランジスタ（以下、TFTと記す）を作製する技術が開発されている。この技術はアクティブマトリクス型液晶表示装置に代表されるフラットパネルディスプレイの分野で応用が進んでいる。この分野では、当初非晶質シリコン膜を用いたTFTが実用化された。さらに、フラットパネルディスプレイの付加価値を高める手段として、結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いたTFTで基板上に集積回路を一体形成する技術が実用化段階に入り、応用製品の開発が進んでいる。

【0003】

TFTに適用される代表的な結晶質半導体材料はシリコンであり、結晶構造を有するシリコン膜（以下、結晶質シリコン膜という）は、プラズマCVD法や減圧CVD法により、ガラスまたは石英などの基板上に堆積した非晶質シリコン膜を、加熱処理、或いはレーザー光の照射（以下、本明細書中においてレーザー処理という）により結晶化したものが適用されている。しかし、TFTに必要な半導体膜の厚さは10～100nm程度であり、この程度の膜厚で高品質の結晶質半導体膜をガラスや石英などの異種材料から成る基板上に形成することは困難である。

【0004】

加熱処理による場合には、非晶質シリコン膜を結晶化させるために600℃以上の温度で10時間以上の加熱処理が必要とされている。この処理温度と処理時間は、TFTの生産性を考慮すると必ずしも適切な方法とはならない。TFTを用いた応用製品として液晶表示装置を考慮すれば、基板の大面积化に対応するために大型の熱処理炉が必要となり、生産工程における消費エネルギーが増大するばかりか、広い面積に渡って一様な結晶を得ることが困難となる。また、レーザ

一処理による場合には、レーザー発振器の出力の不安定さのために、やはり均質な結晶を得ることが困難である。このような結晶の品質のばらつきはTFTの特性ばらつきの原因となっている。

【0005】

結晶質シリコン膜を形成する他の手法として、非晶質シリコン膜にシリコンの結晶化を助長する元素を導入し、従来よりも低い温度の加熱処理で結晶質シリコン膜を作製する技術が開示されている。例えば、特開平7-130652号公報、特開平8-78329号公報では、非晶質シリコン膜にニッケルなどの金属元素を導入し、550℃、4時間の熱処理により結晶質シリコン膜を得ることができる。

【0006】

【発明が解決しようとする課題】

ガラスまたは石英などの基板上的非晶質半導体膜を上記方法により結晶化させると、通常は多結晶構造が得られる。非晶質半導体膜の結晶化は、非晶質半導体膜と基板との界面に自然に発生する結晶核が基になり結晶化が進むと考えられている。多結晶構造における個々の結晶粒は任意な結晶面が析出してしまうが、下地にある酸化シリコンとの界面エネルギーが最小となる(111)面の結晶が析出する確率的に最も多くなっている。

【0007】

また、シリコンの結晶化を助長する元素を非晶質シリコン膜に導入して結晶化を行う場合には、自然核が発生するより低い温度で導入した元素のシリサイド化物が形成され、当該シリサイドを基にした結晶成長が起こっている。例えば、形成される NiSi_2 は特定の配向性を持たないが、非晶質半導体膜の厚さを20～100nmとすると基板表面に対し平行な方向しか殆ど成長することが許されなくなる。この場合、 NiSi_2 と結晶シリコンの(111)面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は(110)面となり、この格子面が優先的に配向する。結晶成長方向が基板表面に対し平行な方向に、柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも(110)面が配向するとは限らないため、その他

の格子面も析出し、全体として(1 1 0)面に配向する割合はやはり20%に満たなかった。

【0 0 0 8】

配向率が低い場合、異なる方位の結晶がぶつかる結晶粒界で、格子の連続性を保持することが殆ど不可能となり、不對結合手が多く形成されることが容易に推定される。粒界にできる不對結合手は再結合中心または捕獲中心となり、キャリア(電子・ホール)の輸送特性を低下させている。その結果、キャリアが再結合で消滅したり欠陥にトラップされたりするため、このような結晶質半導体膜を用いてTFTを作製しても高い電界効果移動度を有するTFTを期待することができない。

【0 0 0 9】

また、結晶粒の位置を意図的に制御することは殆ど不可能であり、結晶粒界はランダムに存在するため、TFTのチャネル形成領域を特定の結晶方位をもつ結晶粒で形成することができない。このことは、TFTの電気的特性がばらつく要因として非常に憂慮されている。

【0 0 1 0】

本発明はこのような問題点を解決する手段を提供することを目的とし、非晶質半導体膜を結晶化して得られる結晶質半導体膜の配向率を高め、そのような結晶質半導体膜を用いたTFTを提供することを目的とする。

【0 0 1 1】

【課題を解決するための手段】

上記問題点を解決するために、本発明の構成は、結晶構造を有する半導体層でチャネル形成領域を形成した半導体装置において、半導体層は、シリコンを主成分としゲルマニウムを含有する第1の半導体膜と、シリコンを主成分とする第2の半導体膜とから成り、第1の半導体膜及び第2の半導体膜に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【0 0 1 2】

また、他の発明の構成は、結晶構造を有する半導体層でチャネル形成領域を形

成した半導体装置において、半導体層は、シリコンを主成分とし、該シリコンよりも原子半径の大きな元素を含有する第1の半導体膜と、シリコンを主成分とする第2の半導体膜とから成り、第1の半導体膜及び第2の半導体膜に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【0013】

また、他の発明の構成は、絶縁表面上に、シリコンを主成分としゲルマニウムを含有する第1の非晶質半導体膜を形成する第1の工程と、第1の半導体膜上に、シリコンを主成分とする第2の非晶質半導体膜を形成する第2の工程と、第1の非晶質半導体膜または第2の非晶質半導体膜にシリコンの結晶化を助長する元素を添加する第3の工程と、第1の非晶質半導体膜及び第2の非晶質半導体膜とを加熱処理により結晶化させ、第1の結晶質半導体膜と第2の結晶質半導体膜を形成する第4の工程とを有することを特徴としている。

【0014】

絶縁表面上に、シリコンを主成分とし、該シリコンよりも原子半径の大きな元素を含有する第1の非晶質半導体膜を形成する第1の工程と、第1の半導体膜上に、シリコンを主成分とする第2の非晶質半導体膜を形成する第2の工程と、第1の非晶質半導体膜または第2の非晶質半導体膜にシリコンの結晶化を助長する元素を添加する第3の工程と、第1の非晶質半導体膜及び第2の非晶質半導体膜とを加熱処理により結晶化させ、第1の結晶質半導体膜と第2の結晶質半導体膜を形成する第4の工程とを有することを特徴としている。

【0015】

結晶方位の分布は反射電子回折パターン (EBSP: Electron Backscatter diffraction Pattern) により求めることができる。EBSPは走査型電子顕微鏡 (SEM: Scanning Electron Microscopy) に専用の検出器を設け、一次電子の後方散乱から結晶方位を分析する手法である (以下、この手法を便宜上EBSP法と呼ぶ)。EBSPを用いた結晶半導体膜の評価は、"Microtexture Analysis of Location Controlled Large Si Grain Formed by Excimer-Laser Crystallization Method: R. Ishihara and P. F. A. Alkemade, AMLCD'99 Digest of Tec

hnical Papers 1999 Tokyo Japan, pp99-102”に紹介されている。

【0016】

この測定方法は、結晶構造を持った試料に電子線が入射すると、後方にも非弾性散乱が起こり、その中には試料中でブラッグ回折による結晶方位に特有の線状パターン(一般に菊地像と呼ばれる)も合わせて観察される。EBSP法は検出器スクリーンに映った菊地像を解析することにより試料の結晶方位を求めている。試料の電子線の当たる位置を移動させつつ方位解析を繰り返す(マッピング測定)ことで、面状の試料について結晶方位または配向の情報を得ることができる。入射電子線の太さは、走査型電子顕微鏡の電子銃のタイプにより異なるが、ショットキー電界放射型の場合、10～20nmの非常に細い電子線が照射される。マッピング測定では、測定点数が多いほど、また測定領域が広いほど、結晶配向のより平均化した情報を得ることができる。実際には、 $100 \times 100 \mu\text{m}^2$ の領域で、10000点(1 μm 間隔)～4000点(0.5 μm 間隔)の程度の測定を行っている。

【0017】

マッピング測定により各結晶粒の結晶方位がすべて求まると、膜に対する結晶配向の状態を統計的に表示できる。図17(A)にEBSP法により求められる逆極点図の例を示す。逆極点図は多結晶体の優先配向を表示する際によく用いられるもので、試料のある特定の面(ここでは膜表面)が、どの格子面に一致しているかを集合的に表示したものである。

【0018】

図17(A)の扇形状の枠は一般に標準三角形と呼ばれるもので、この中に立方晶系における全ての指数が含まれている。またこの図中における長さは、結晶方位における角度に対応している。たとえば{001}と{101}の間は45度、{101}と{111}の間は35.26度、{111}と{001}の間は54.74度である。また、白抜きの点線は{101}からのずれ角5度及び10度の範囲を示している。

【0019】

図17(A)は、マッピングにおける全測定点(この例では11655点)を標

準三角形内にプロットしたものである。 $\{101\}$ 付近で点の密度が濃くなっていることがわかる。図17(B)は、このような点の集中度を等高線表示したものである。ここで数値は各結晶粒が完全に無秩序な配向だと仮定した場合、すなわち標準三角形内に点を偏りなく分布させた場合に対する倍率を示しており無次元数である。

【0020】

このように特定の指数（ここでは $\{101\}$ ）に優先配向している事がわかった場合、その指数近傍にどの程度の結晶粒が集まっているか、その割合を数値化することで、優先配向の度合いをよりイメージしやすくなる。例えば図17(A)に例示した逆極点図において $\{101\}$ からのずれ角5度及び10度の範囲（図中に白点線で示す）に存在する点数の全体に対する割合を配向率として次式により求めて示すことができる。

【0021】

【数1】

$$\text{配向比率} = \frac{\{101\} \text{ 格子面と膜表面がなす角が許容値以内の測定点の数}}{\text{測定点の全数}}$$

【0022】

この割合は、次のように説明することもできる。図17(A)のように $\{101\}$ 付近に分布が集中している場合、実際の膜においては各結晶粒の $\langle 101 \rangle$ 方位は基板に概略垂直であるが、その周りにやや揺らぎを持って並んでいることが予想される。この揺らぎの角に許容値を5度、10度と設け、それより小さいものの割合を数値で示してゆく。以上に説明したように許容ずれ角を5度及び10度と定め、それを満たす結晶粒の割合を表示してゆくことにより配向率を求めることができる。

【0023】

【発明の実施の形態】

本発明で得られる $\{101\}$ 面の配向率が高い結晶質半導体膜は、シリコンを主成分とすることに特徴を有している。このような結晶質半導体膜の典型的な一

実施形態は、シリコンを主成分とし、ゲルマニウムを含む第1の結晶質半導体膜と、シリコンを主成分とする第2の結晶質半導体膜とから成っている。第1の結晶質半導体膜及び第2の結晶質半導体膜はいずれも非晶質半導体膜を絶縁表面上にプラズマCVD法または減圧CVD法などで形成し、その後シリコンの結晶化を助長する元素を添加して結晶化させることにより得られるものである。

【0024】

このような結晶質半導体膜を形成するための基板は、アルミナホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラス基板や石英基板が適している。その他に、シリコン、ゲルマニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成しこれを基板とすることも可能である。

【0025】

上記ガラス基板を用いる場合には、非晶質半導体膜とガラス基板との間に窒化シリコン、酸化シリコン、または酸化窒化シリコンなどでブロッキング層を形成する。こうして、ガラス基板中に含まれるアルカリ金属元素などの不純物元素が半導体膜中に拡散することを防ぐ。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2 を反応ガスとして用い、窒化シリコン膜を形成する。または、 SiH_4 、 N_2O 、 NH_3 を反応ガスとして用い、酸化窒化シリコン膜を形成する。ブロッキング層の厚さは20～200nmで形成する。

【0026】

このような絶縁体の表面上に形成する非晶質半導体膜は、シリコンを主成分とし、ゲルマニウムを含む第1の非晶質半導体膜と、シリコンを主成分とする第2の非晶質半導体膜とを積層させた構造となっている。第1の非晶質半導体膜は、シリコンを主成分としゲルマニウムを0.1原子%以上、75原子%未満の範囲で含有する非晶質半導体膜を用いる。ゲルマニウムの含有量は、代表的な反応ガスとして用いられる SiH_4 と GeH_4 の混合比により調節することができる。また、第1及び第2の非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とし、非晶質半導体膜の結晶化の過程において、また作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

【0027】

上記第1及び第2の非晶質半導体膜の形成は、プラズマCVD法または減圧CVD法、その他適宜の方法により行う。プラズマCVD法を適用する場合には、 SiH_4 と GeH_4 とから成る反応ガス、或いは、 SiH_4 と H_2 で希釈した GeH_4 成る反応ガスを加えて反応室に導入し、1～200MHzの高周波放電により分解し基板上に非晶質半導体膜を堆積させる。反応ガスは、 SiH_4 の代わりに Si_2H_6 または SiF_4 を、 GeH_4 の代わりに GeF_4 を採用しても良い。減圧CVD法を用いる場合にも同様な反応ガスを適用することが可能であり、好ましくはHeで反応ガスを希釈して、400～500℃の温度で基板上に非晶質半導体膜を堆積する。いずれにしても、本発明で用いる上記ガスは、堆積される非晶質半導体膜に取り込まれる酸素、窒素、炭素などの不純物元素の濃度を低減するために高純度に精製されたものを用いる。堆積される非晶質半導体膜の厚さは20～100nmの範囲とする。

【0028】

結晶化に際しては、第2の非晶質半導体膜の表面に、該非晶質半導体膜の結晶化を助長する元素を導入する。当該元素としては、鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスニウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)から選ばれた一種または複数種の元素を用いる。これらの元素は、本明細書に記載する何れの発明においても非晶質半導体膜の結晶化を助長する元素として使用することができる。上記いずれの元素を用いても同質、同様の効果を得ることができるが、代表的にはニッケルを用いる。

【0029】

当該元素を導入する箇所は、第2の非晶質半導体膜の全面、または第1の非晶質半導体膜の全面とする。或いは第2の非晶質半導体膜の膜面における適宜箇所のスリット状の面または点状の面などとする。後者の場合には、好ましくは非晶質半導体膜上に絶縁膜が形成され、その絶縁膜に設けられた開孔を利用して当該元素を導入することができる。開孔の大きさに特に限定はないが、その幅は10～40 μm とすることができる。また、その長手方向の長さは任意に決めれば良

く、数十 μm ～数十 cm の範囲とすることができる。

【0030】

これらの当該元素を導入する方法は、当該元素を含む薄膜を非晶質半導体膜の表面又は内部に存在させる手法であれば特に限定はなく、例えば、スパッタ法、蒸着法、プラズマ処理法（含むプラズマCVD法）、吸着法、金属塩の溶液を塗布する方法などを使用することができる。プラズマ処理法は、不活性ガスによるグロー放電雰囲気において、陰極からスパッタされる当該元素を利用する。また、金属塩の溶液を塗布する方法は簡易であり、当該元素の濃度調整が容易である点で有用である。

【0031】

金属塩としては各種塩を用いることが可能であり、溶媒としては水、アルコール類、アルヒド類、エーテル類その他の有機溶媒、または水とこれらの有機溶媒の混合物を用いることができる。また、それらの金属塩が完全に溶解した溶液とは限らず、金属塩の一部または全部が懸濁状態で存在する溶液であっても良い。いずれの方法を採用するにしても、当該元素は非晶質半導体膜の表面又は内部に分散させて導入する。

【0032】

上記何れかの方法でシリコンの結晶化を助長する元素を導入した後、当該元素を利用して非晶質半導体膜の結晶化を行う。結晶化は加熱処理、レーザー光または紫外線、赤外線などの強光の照射によって行う。加熱処理のみでも{101}に優先的に配向する結晶質シリコン膜を得ることができるが、好ましくは、加熱処理を行いその後レーザー光などの強光の照射を行う方法を適用する。加熱処理後のレーザー処理は、結晶粒内に残される結晶欠陥を修復し消滅させることができ、作製される結晶の品質を向上させる目的に対して有効な処置となる。

【0033】

結晶化をするための加熱処理に先立って、第1及び第2の非晶質半導体膜が含有する水素を放出させる脱水素化処理を行う。この処理は400～500℃にて0.5～5時間、代表的には500℃にて1時間の条件で脱水素化処理を行う。

【0034】

結晶化のための加熱処理は450～1000℃の範囲で行うことが可能であるが、温度の上限は使用する基板の耐熱温度が一つの上限として考慮される。例えば、石英基板を用いる場合には1000℃の熱処理にも耐え得るが、ガラス基板の場合にはその歪み点以下が上限温度の一つの根拠となる。例えば、歪み点667℃のガラス基板に対しては、660℃程度が限度と見るべきである。必要とされる時間は加熱温度や、その後の処理条件（例えばレーザー光を照射する処理の有無など）により適宜設定するが、好適には550～600℃にて4～24時間の加熱処理を行う。また、その後レーザー処理を行う場合には、500～550℃にて4～8時間の熱処理を行う。以上の加熱処理は空気中や水素雰囲気中でも良いが、好適には窒素或いは不活性ガス雰囲気中にて行う。

【0035】

また、レーザー処理は、波長400nm以下のエキシマレーザーや、YAGまたはYVO₄レーザーの第2高調波（波長532nm）～第4高調波（波長266nm）を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を100～700mJ/cm²として照射し、上記のように集光したレーザービームを基板の所定の領域に渡って走査させ処理を行う。その他、レーザーの代わりに、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源としても良い。

【0036】

以上のような工程により、本発明における{101}面の配向率が高い結晶質半導体膜が得られるメカニズムは、現段階で必ずしも明らかではないが、概略以下のように推測することができる。

【0037】

第1及び第2の非晶質半導体膜に導入されたシリコンの結晶化を助長する元素は、脱水素処理中に速やかに非晶質半導体中に拡散する。そして、不均質な核形成が始まる。そして、当該元素とシリコンが反応してシリサイドが形成され、これが結晶核となりその後の結晶成長に寄与する。例えば、代表的な元素としてニッケルを用いた場合、ニッケルシリサイド（以下、NiSi₂と記する）が形成される。第1の非晶質半導体膜においては、NiSi₂中にゲルマニウムが殆ど

固溶されないため、非晶質半導体膜中のゲルマニウムを周囲に排除しつつ核が形成する。

【0038】

NiSi_2 は特定の配向性を持たないが、非晶質半導体膜の厚さを20~100nmとすると基板表面に対し平行な方向しか殆ど成長することが許されなくなる。この場合、 NiSi_2 と結晶シリコンの(111)面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は(110)面となり、この格子面が優先的に配向する。結晶成長方向が基板表面に対し平行な方向に、しかも柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも(110)面が配向するとは限らないため、その他の格子面も析出すると考えられる。

【0039】

NiSi_2 から見ると、周囲の非晶質半導体のみに原子半径の大きいゲルマニウムが存在しているため、大きな歪み(引っ張り応力)が発生していることが予想される。この歪みエネルギーにより、核生成の臨界半径を大きくする方向に働く。さらに、この歪み(引っ張り応力)は、 NiSi_2 による核の結晶方位に制限を与え、特定の結晶面(具体的には、{101}面)の配向率を高める作用があると推測される。

【0040】

NiSi_2 の構造はホタル石型構造であり、ダイヤモンド型構造のシリコン格子間にニッケル原子を配置した構造となっている。 NiSi_2 からニッケル原子が無くなるとシリコンの結晶構造が残ることになる。数々の実験の結果から、ニッケル原子は非晶質シリコン側に移動していくことが判明しており、この理由是非晶質シリコン中の固溶度の方が結晶シリコン中のそれよりも高いためであると考えられる。従って、恰もニッケルが非晶質シリコン中を移動しながら結晶シリコンを形成するというモデルを立案することができる。

【0041】

また、非晶質半導体膜中におけるニッケルの拡散速度は、膜中にゲルマニウムが含まれる方が早いことが考えられる。本発明の場合、 NiSi_2 による結晶の

成長は、第1の非晶質半導体膜の方が早く結晶成長することが考えられる。

【0042】

以上の考察より、加熱処理によって、第1の非晶質半導体膜は{101}面の配向率が高い結晶が成長し、それに伴って第2の非晶質半導体膜ではエピタキシャル成長的に同じ面方位の結晶が成長する。

【0043】

本発明は、シリコンを主成分とする結晶質半導体膜の{101}面の配向を高めるために、シリコンを主成分としゲルマニウムを含む第1の非晶質半導体膜と、シリコンを主成分とする第2の非晶質半導体膜とを順次形成し、シリコンの結晶化を助長する元素を添加して、加熱処理、または加熱処理とレーザー処理を行って結晶化させる方法を採用する。

【0044】

非晶質シリコンに0.1～10原子%のゲルマニウムを含有させると結晶核の発生密度が低下する。図11は結晶核の隣接間距離について、 GeH_4 の添加量依存性について調べた結果であり、縦軸はその累積度数を示している。図11(A)はシリコンの結晶化を助長する元素として、酢酸ニッケル塩が3ppmの水溶液を用いた結果であり、図11(B)は1ppmの結果を示している。 GeH_4 の添加量の増加は、非晶質シリコン中に含まれるゲルマニウム濃度がそれに伴って増えることを意味する。図11(A)、(B)の結果は、いずれも GeH_4 の添加量が多い方が結晶核の隣接間距離が長くなることを示している。図12はこの結果を基に、 GeH_4 の添加量に対する結晶核の密度を示している。 GeH_4 の量が増加するに従い、結晶核密度が低下している傾向が示されている。この結果は、上記考察において、非晶質シリコン膜中にゲルマニウムが存在することにより核生成の臨界半径を大きくする方向に働くことを裏付けている。

【0045】

次に上述の本発明に基づいて作製される結晶質半導体膜について、その作製条件の一例を示す。表1はプラズマCVD法で作製する第1及び第2の非晶質半導体膜の作製条件である。反応ガスは SiH_4 と水素で10%に希釈された GeH_4 を用いる。これらの反応ガスは、形成される非晶質半導体膜に含まれる酸素、窒

素、炭素の不純物濃度を低減させるために、 SiH_4 の純度は99.9999%以上のものを、また GeH_4 は窒素、炭化水素化合物が1ppm以下、 CO_2 が2ppm以下の高純度品を用いている。第1の非晶質半導体膜において、シリコンに対するゲルマニウムの含有量を変化させるために、合計流量が一定になるようにして、 SiH_4 と H_2 で10%に希釈した GeH_4 のガス流量の混合比を変化させている。共通条件としては、高周波電力が $0.35\text{W}/\text{cm}^2$ (27MHz)であり、繰り返し周波数10kHz (デューティ比30%) のパルス放電に変調して平行平板型のプラズマCVD装置の陰極に給電する。その他、共通条件として反応圧力33.25Pa、基板温度300℃、電極間隔35mmとする。

【0046】

【表1】

項目		第1の非晶質半導体膜	第2の非晶質半導体膜
SiH_4 流量	[sccm]	50~95	100
$\text{GeH}_4(\text{H}_2\text{ヘース10\%})$ 流量	[sccm]	50~5	0
RF power	[W/cm ²]	0.35	←
パルス周波数	[KHz]	10	←
Duty	[%]	30	←
圧力	[Pa]	33.25	←
基板温度(Tsub)	[℃]	300	←
電極間隔(GAP)	[mm]	35	←

【0047】

図10は第1及び第2の非晶質半導体膜を形成するために用いるプラズマCVD装置の構成の一例を示している。プラズマCVD装置は反応室401に高周波電源405が接続する陰極(カソード)402、陽極(アノード)403が設けられた平行平板型である。陰極402はシャワー板となっていて、ガス供給手段406からの反応ガスは、このシャワー板を通して反応室中に供給される。陽極403にはシーズヒーターなどによる加熱手段が設けられ、基板415が設置されている。ガス供給系の詳細は割愛するが、 SiH_4 や GeH_4 などが充填されたシリンダー414、ガスの流量を制御するマスフローコントローラー412、ストップバルブ413などから構成されている。排気手段407は、ゲートバルブ408、自動圧力制御弁409、ターボ分子ポンプ(または複合分子ポンプ)4

10、ドライポンプ407から成っている。ターボ分子ポンプ（または複合分子ポンプ）410、ドライポンプ407は潤滑油を使用しないもので、油の拡散による反応室内の汚染を完全に無くしている。排気速度は、反応室の容積13Lの反応室に対し、一段目に排気速度300L/秒のターボ分子ポンプ、二段目に排気速度 $40\text{ m}^3/\text{hr}$ のドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

【0048】

このような装置で作製される非晶質半導体膜に含まれる窒素、炭素、酸素のそれぞれの含有量は二次イオン質量分析法（SIMS）によって測定されている。図12にその結果を示す。測定に用いた試料は、シリコン基板上に SiH_4 のみ、水素で10%に希釈した GeH_4 を5SCCM添加した条件、同10SCCM添加した条件の順に積層したものであるが、いずれの成膜条件においても窒素、炭素の含有量は $5 \times 10^{18}/\text{cm}^3$ 未満、酸素の含有量は $1 \times 10^{19}/\text{cm}^3$ 未満である。

【0049】

絶縁表面上に形成する第1の非晶質半導体膜の厚さは5～30nmとし、その上に形成する第2の非晶質半導体膜の厚さは15～70nmとして形成し、第1の非晶質半導体膜の厚さ第2の非晶質半導体膜に対して薄くなるように形成する。第1の非晶質半導体膜にはシリコンに対して原子半径の大きなゲルマニウムを含有し、結晶核の生成密度を小さくすることができる。上述の如く、この第1の非晶質半導体膜は結晶化において第2の非晶質半導体膜を結晶化させ、特定の結晶面の配向を高めるためのシード層として利用するため、本来第2の非晶質半導体膜よりも薄く形成することが望ましい。

【0050】

第1及び第2の非晶質半導体膜の結晶化は、シリコンの結晶化を助長する元素としてニッケルを用い、500～600℃の加熱処理、または加熱処理とレーザー処理を行う。代表的な作製条件として、窒素雰囲気中550℃にて4時間の加熱処理及びレーザー処理を行う方法がある。ニッケルは酢酸ニッケルを10pp

mの濃度で含有する水溶液を用い、スピナーで塗布する。また、レーザー処理はXeClエキシマレーザー（波長308nm）を用い、照射エネルギー密度300～600mJ/cm²、重ね合わせ率90～95%で照射する。レーザー処理は加熱処理により結晶化した膜の未結晶化部分の結晶化や、結晶粒内に欠陥を補修するために行っている。

【0051】

結晶質半導体膜に残存する欠陥は水素化処理により、0.01～1原子%程度の水素を含有させることにより効果的に低減させることができる。水素化は水素を含む雰囲気中で350～500℃の加熱処理により行うことができる。また、プラズマにより生成された水素を用いて水素化を行うことも可能である。また、SiF₄、GeF₄などのフッ化物により第1の非晶質半導体膜を形成した場合には0.001～1原子%程度のフッ素が膜中に残存し、欠陥を補償する元素となる。

【0052】

こうして{101}面に対して高い配向性を示す結晶質半導体膜は、添加するゲルマニウムの濃度を0.1～10原子%の範囲で添加するだけでなく、膜中に含まれる酸素、窒素、炭素の元素の濃度を $1 \times 10^{19} / \text{cm}^3$ 未満にすること、及び膜厚を20～100nmの範囲として、基板表面と平行な方向の成長が支配的となるようにすることの相乗効果により達成される。

【0053】

このような{110}面の配向率の高い結晶質半導体膜はTFTのチャネル形成領域、光起電力素子の光電変換層など素子の特性を決定付けるチャネル形成領域に好適に用いることができる。

【0054】

【実施例】

以下、実施例により本発明をさらに詳細に説明するが、本発明がこれら実施例に限定されないことは勿論である。

【0055】

[実施例1]

図1で説明する結晶質半導体膜の作製方法は、絶縁表面上にシリコンを主成分とし、ゲルマニウムを含有する第1の非晶質半導体膜と、シリコンを主成分とする第2の非晶質半導体膜を形成し、第2の非晶質半導体膜の全面にシリコンの結晶化を助長する元素を添加して結晶化を行う方法である。まず、図1(A)において、ガラス基板201はコーニング社の#1773ガラス基板に代表されるガラス基板を用いる。基板201の表面には、ブロッキング層202としてプラズマCVD法で SiH_4 と N_2O を用い酸化窒化シリコン膜を50~200nmの厚さに形成する。その一例は、プラズマCVD法で SiH_4 と NH_3 と N_2O から作製される酸化窒化シリコン膜を50nm、及び SiH_4 と N_2O から作製される酸化窒化シリコン膜を100nm積層させた2層構造や、或いは、窒化シリコン膜とTEOS (Tetraethyl Ortho Silicate) を用いて作製される酸化シリコン膜を積層させた2層構造としても良い。ブロッキング層202はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設ける。

【0056】

シリコンを主成分とし、ゲルマニウムを含む第1の非晶質半導体膜203はプラズマCVD法により作製し、 SiH_4 と H_2 で10%に希釈された GeH_4 ガスを反応室に導入し、グロー放電分解して基板201上に堆積させる。作製条件は表1に従うものとする。 SiH_4 ガスと、 H_2 で10%に希釈された GeH_4 ガスの合計流量は100SCCMとし、 H_2 で10%に希釈された GeH_4 ガスの流量を5~50SCCMの範囲で変化させて第1の非晶質半導体膜203を形成する。

【0057】

次いで、 SiH_4 ガスを用いてシリコンを主成分とする第2の非晶質半導体膜204の形成を行う。第1の非晶質半導体膜は5~30nmの厚さに、第2の非晶質半導体膜に厚さは15~70nmの厚さに形成する。

【0058】

そして図1(B)で示すように、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布してニッケル含有層205を形成する。この場合、当該溶液の馴染みをよくするために、第2の非晶質半導体膜204の表面処

理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンの表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【 0 0 5 9 】

次に、500℃にて1時間の加熱処理を行い、第1の非晶質半導体膜及び第2の非晶質半導体膜に含まれる水素を放出させる。そして、550℃にて4時間に加熱処理を行う。こうして、図1（C）に示す第1の結晶質半導体膜206、第2の結晶質半導体膜207を得ることができる。結晶化は前述のように第1の非晶質半導体膜から始まり、その結晶方位を反映して第2の非晶質半導体膜が結晶化する。

【 0 0 6 0 】

さらに結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、第1の結晶質半導体膜206、第2の結晶質半導体膜207に対してレーザー光208を照射するレーザー処理を行う。レーザーは波長308nmにて30Hzで発振するエキシマレーザー光を用いる。当該レーザー光は光学系にて400～600mJ/cm²に集光し、90～95%のオーバーラップ率をもってレーザー処理を行う。こうして図1（D）に示す結晶質半導体膜209を得ることができる。

【 0 0 6 1 】

[実施例2]

非晶質半導体膜の結晶化を助長する元素を選択的に形成する方法を図2を用いて説明する。図2（A）において、基板201はガラス基板または石英基板を採用する。ガラス基板を用いる場合には、実施例1と同様にブロッキング層202を設ける。

【 0 0 6 2 】

シリコンを主成分とし、ゲルマニウムを含む第1の非晶質半導体膜203、シリコンを主成分とする第2の非晶質半導体膜204は共に実施例1と同様に形成

する。また、プラズマCVD法の他に、減圧CVD法を用い、 Si_2H_6 と GeH_4 を400～500℃の温度で分解して形成する方法も採用可能である。

【0063】

そして、第2の非晶質半導体膜204上に150nmの厚さの酸化シリコン膜210を形成する。酸化シリコン膜の作製方法は限定されないが、例えば、オルトケイ酸テトラエチル (Tetraethyl Ortho Silicate: TEOS) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させ形成する。

【0064】

次に、酸化シリコン膜210に開孔部211を形成し、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層212が形成され、ニッケル含有層212は開孔部211の底部のみで第2の非晶質半導体膜204と接触する。

【0065】

結晶化は、加熱処理の温度500～650℃で4～24時間、例えば570℃にて14時間の熱処理を行う。ニッケルは第2の非晶質半導体膜204との接触部から第2及び第1の非晶質半導体膜中に拡散し、 NiSi_2 による核が形成される。そして、その核から基板表面と平行な方向に結晶化が進行する。こうして形成された第1の結晶質半導体膜214、第2の結晶質半導体膜213は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。215は相互に成長してきた結晶の成長端であり、この部分にはニッケルが他の領域と比較して高い濃度で存在している。その後、酸化シリコン膜210を除去すれば図2(C)に示す結晶質半導体膜を得ることができる。

【0066】

[実施例3]

実施例1又は2の方法に従い作製される結晶質半導体膜には結晶化において利用したシリコンの結晶化を助長する元素が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 1×10^{19} /cm³を越え

る濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体装置のチャネル形成領域に用いることが可能であるが、より好ましくは、ゲッタリングにより当該金属元素を除去することが望ましい。

【0067】

本実施例はゲッタリング方法の一例を図3により説明する。図3(A)において、基板201は実施例1または2のガラス基板、或いは石英基板が採用される。ガラス基板を用いる場合には、実施例1と同様にブロッキング層202を設ける。また、第1の結晶質半導体膜214、第2の結晶質半導体膜213は実施例1又は2のいずれの方法で作製されたものであっても良い。第2の結晶質半導体膜213の表面には、マスク用の酸化シリコン膜220が150nmの厚さに形成され、開孔部221が設けられ結晶質シリコン膜が露出した領域が設けられている。実施例2に従う場合には、図2(A)で示す酸化シリコン膜210をそのまま利用可能であり、図2(B)の工程の後からそのまま本実施例の工程に移行することもできる。そして、イオンドープ法によりリンを添加して、 $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ の濃度のリン添加領域222を形成する。

【0068】

そして、図3(B)に示すように、窒素雰囲気中で550～800℃、5～24時間、例えば600℃にて12時間の熱処理を行うと、リン添加領域222がゲッタリングサイトとして働き、第1の結晶質半導体膜214及び第2の結晶質半導体膜213に残存していた触媒元素はリン添加領域222に偏析させることができる。

【0069】

その後、図3(C)で示すようにマスク用の酸化シリコン膜220と、リンが添加領域222とをエッチングして除去することにより、結晶化の工程で使用した金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満にまで低減された第1の結晶質半導体膜225、第2の結晶質半導体膜225を得ることができる。

【0070】

[実施例4]

本実施例は、結晶粒内欠陥、或いは、絶縁膜との界面準位を低減し、TFTな

どで好適に利用できる方法を示す。図 4 (A) で示す第 1 の結晶質半導体膜 3 5 2、第 2 の結晶質半導体膜 3 5 3 は実施例 1 又は 2 にて作製されるものが適用される。或いは、実施例 3 で説明するゲッタリング処理が施されたものであっても良い。しかしながら、本実施例においては、少なくとも 7 0 0 ~ 1 0 0 0 °C 程度の耐熱性を有する基板が必要であり、石英基板 3 5 1 を用いる必要がある。

【 0 0 7 1 】

第 2 の結晶質半導体膜 3 5 3 の絶縁膜 3 5 4 は、酸化シリコンを主成分とする材料で形成する。例えば、プラズマ C V D 法で作製される酸化シリコン膜または酸化窒化シリコン膜を 5 0 n m の厚さで形成する。

【 0 0 7 2 】

絶縁膜 3 5 4 が形成された状態で、図 4 (B) で示すように、ハロゲン（代表的には塩素）と酸素を含む雰囲気中で加熱処理を行う。本実施例では、9 5 0 °C にて 3 0 分とする。尚、処理温度は 7 0 0 ~ 1 1 0 0 °C の範囲で選択すれば良く、処理時間も 1 0 分から 8 時間の間で選択することが可能である。

【 0 0 7 3 】

この加熱処理により第 2 の結晶質半導体膜 3 5 3 と絶縁膜 3 5 4 との界面で約 2 0 n m の酸化膜 3 5 5 が形成され、膜厚の薄くなった第 2 の結晶質半導体膜 3 5 6 が形成される。また、ハロゲン雰囲気での酸化の過程で、絶縁膜 3 5 4 と第 1 及び第 2 の結晶質半導体膜に含まれる不純物元素の内、特に金属不純物元素はハロゲンと化合物を形成し気相中に除去することができる。さらに、このような処理により得られる酸化膜 3 5 5 と第 2 の結晶質半導体膜 3 5 6 の界面は、界面準位密度が低くなり非常に良好なものとなる。

【 0 0 7 4 】

[実施例 5]

次に、このようなゲルマニウムを含む結晶質シリコン膜を利用して、T F T を作製する例を示す。図 5 は本実施例の作製工程を説明する図であり、n チャネル型 T F T を作製する工程を示す。勿論、同様の工程により p チャネル型 T F T を作製することもできる。

【 0 0 7 5 】

図 5 (A) において、基板 3 0 1 上にはシリコンを主成分とし、ゲルマニウムを含有する第 1 の結晶質半導体膜 3 2 0 とシリコンを主成分とする第 2 の結晶質半導体膜 3 2 1 を形成するが、これらの結晶質半導体膜は、実施例 1 ~ 4 で示す方法により作製されるものであれば何れも適用可能である。T F T を作製するに当たっては、素子分離のため所定の大きさにエッチングし、島状に分割しておく。基板 3 0 1 がガラス基板である場合には、ブロッキング層 3 0 2 を設ける。

【 0 0 7 6 】

絶縁膜 3 0 7 は T F T においてゲート絶縁膜として利用されるものであり 3 0 ~ 2 0 0 n m の厚さで形成する。この絶縁膜 3 0 7 はプラズマ C V D 法により SiH_4 と N_2O とから作製される酸化窒化シリコン膜、或いは T E O S と N_2O とから作製される酸化窒化シリコン膜などで形成する。本実施例では前者を選択し、7 0 n m の厚さに形成する。また、実施例 4 で示す方法で絶縁膜 3 0 7 を形成しても良い。

【 0 0 7 7 】

低濃度ドレイン (L D D : Lightly Doped Drain) 領域を形成する場合には、この段階でマスク 3 2 2 を形成し、イオンドープ法またはイオン注入法などで一導電型の不純物を第 1 及び第 2 の結晶質半導体膜に添加して第 1 の不純物領域 3 2 3 を形成する。n チャネル型 T F T の場合にはリンを添加し、第 1 の不純物領域 3 2 3 におけるリンの平均濃度は $1 \times 10^{16} \sim 1 \times 10^{19} / \text{cm}^3$ の範囲とする。

【 0 0 7 8 】

そして、図 5 (B) で示すように絶縁膜 8 1 3 上には、タンタル、タングステン、チタン、アルミニウム、モリブデンから選ばれた一種または複数種の元素を成分とする導電性材料でゲート電極 3 2 4 を形成する。

【 0 0 7 9 】

次に、図 5 (C) で示すように、T F T のソース及びドレイン領域を形成する第 2 の不純物領域 3 2 5 を形成する。第 2 の不純物領域 3 2 5 はイオンドープ法により形成し、n チャネル型 T F T であればリン、砒素に代表される周期律表第 1 5 族の元素、p チャネル型 T F T であればボロンに代表される周期律表第 1 3

族の元素を添加する。

【 0 0 8 0 】

その後、図 5 (D) に示すように、プラズマ CVD 法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜 3 2 7 を形成する。また、添加された不純物元素は活性化のために 3 5 0 ~ 5 0 0 °C の加熱処理が必要とされるが、この加熱処理は層間絶縁膜 3 2 7 を形成した後に行い、窒化シリコン膜、窒化酸化シリコン膜中に含まれる水素を放出させ、第 1 及び第 2 の結晶質半導体膜に拡散させることにより、当該結晶質半導体膜中の欠陥を水素で補償することができる。さらに、ソース及びドレイン電極 3 2 8 を形成し T F T を得ることができる。

【 0 0 8 1 】

こうして作製される n チャネル型 T F T は、第 1 及び第 2 の結晶質半導体膜によって形成されるチャネル形成領域 3 2 9、LDD 領域 (第 1 の不純物領域) 3 2 6、ソースまたはドレイン領域 (第 3 の不純物領域) 3 2 5 を有している。図 5 (C) で示すように LDD 領域 3 2 6 はゲート電極 3 2 4 とオーバーラップさせて形成することも可能である。勿論、シングルドレイン構造や LDD 構造を形成することも可能である。こうして作製される T F T は、アクティブマトリクス型の液晶表示装置や E L 表示装置を作製するための T F T とて、また従来の半導体基板にて作製される L S I に代わる薄膜集積回路を実現する T F T として用いることができる。

【 0 0 8 2 】

[実施例 6]

本実施例は、n チャネル型 T F T と p チャネル型 T F T とを相補的に組み合わせた CMOS 型の T F T を作製する一例について図 6 を用いて説明する。

【 0 0 8 3 】

図 6 (A) において、基板 3 0 1 上にはシリコンを主成分とし、ゲルマニウムを含有する第 1 の結晶質半導体膜 3 0 3、3 0 4 とシリコンを主成分とする第 2 の結晶質半導体膜を形成する。これらの結晶質半導体膜は実施例 1 ~ 4 で示す工程により作製されるいずれのものも適用可能である。また、基板 3 0 1 がガラス

基板である場合には、ブロッキング層302を設ける。結晶質半導体膜は素子分離のため所定の大きさにエッチングされ、島状の半導体層305、306が形成されている。

【0084】

第1絶縁膜307はTFTにおいてゲート絶縁膜として利用されるものであり30~200nmの厚さで形成する。この第1絶縁膜307はプラズマCVD法により SiH_4 と N_2O とから作製される酸化窒化シリコン膜、或いはTEOSと N_2O とから作製される酸化窒化シリコン膜などで形成する。本実施例では前者を選択し、75nmの厚さに形成する。また、実施例4で示す方法で第1絶縁膜307を形成しても良い。

【0085】

第1絶縁膜307上には、タンタル、タングステン、チタン、アルミニウム、モリブデンから選ばれた一種または複数種の元素を成分とする導電性材料でゲート電極308、309を形成する。

【0086】

次に、図6(B)ではnチャネル型TFTのLDD領域を形成するためにイオンドーピング法でリンをドーピングする。ドーピングガスには H_2 で0.1~5%に希釈したフォスフィン(PH_3)を用いる。ドーピングの条件は適宜決定するものとするが、半導体層305、306に形成される第1不純物領域310、311は平均的な濃度として $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となるようにする。この際、ゲート電極308、309はドーピングされるリンに対するマスクとなり、不純物領域310、311は自己整合的に形成される。

【0087】

そして、図6(C)で示すように、フォトリジストを用いたマスク312を形成し、再びイオンドーピング法でリンをドーピングする。このドーピングにより作製される第2不純物領域313、314のリンの平均濃度は $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ となるようにする。こうして、半導体層305に形成される第1不純物領域315はLDD領域となり、第2不純物領域313はソース及びドレイン領域となる。

【0088】

pチャネル型TFTは図6(D)で示すように、フォトレジストを用いたマスク316を形成し、半導体層306にホウ素をドーピングする。ドーピングガスには H_2 で0.1~5%に希釈したジボラン(B_2H_6)を用いる。半導体層904に形成される第3不純物領域317は、n型からp型に反転させるためにリン濃度と比較して1.5~3倍のホウ素を添加し、平均濃度は $1.5 \times 10^{20} \sim 3 \times 10^{21} / cm^3$ となるようにする。こうして、半導体層306に形成される第3不純物領域317はpチャネル型TFTのソース及びドレイン領域となる。

【0089】

その後、プラズマCVD法により作製される窒化シリコン膜、窒化酸化シリコン膜により層間絶縁膜318を形成する。また、添加された不純物元素は活性化のために350~500℃の加熱処理が必要とされるが、この加熱処理は層間絶縁膜318を形成した後に行い、窒化シリコン膜、窒化酸化シリコン膜中に含まれる水素を放出させ、半導体層305、306に拡散させることにより、水素化を行い半導体中及びその界面の欠陥を補償することができる。さらに、ソース及びドレイン電極319、320を形成しTFTを得ることができる。

【0090】

以上の工程で、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせたCMOS型のTFTを得ることができる。nチャネル型TFTはチャネル形成領域321とソース及びドレイン領域313との間にLDD領域315が形成され、ドレイン端における電界の集中を防いでいる。このようなCMOS型のTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することを可能とする。pチャネル型TFTには、チャネル形成領域322とソースまたはドレイン領域317が形成されている。このようなnチャネル型TFTまたはpチャネル型TFTは、画素部を形成するトランジスタに応用することができる。さらに、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【0091】

[実施例7]

実施例 5 及び実施例 6 で示す T F T の作製方法を用いることにより、駆動回路と画素部を同一基板上に形成したアクティブマトリクス型の表示装置を作製することができる。図 7 と図 8 にその一例を示す。

【 0 0 9 2 】

図 7 は基板 4 0 1 に形成された駆動回路 4 4 4 と画素部 4 4 5 の T F T の断面図を示している。画素部 4 4 5 における画素 T F T (スイッチング用の T F T) 4 4 2 と駆動回路 4 4 4 の n チャネル型 T F T 4 4 1 及び p チャネル型 T F T 4 4 0 は、いずれも実施例 1 ～ 4 で示すいずれかの方法により作製されるものを適用している。

【 0 0 9 3 】

図 7 において、基板 4 0 1 は、好適にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。その他に石英基板を用いても良い。ガラス基板を用いる場合にはブロッキング層 4 0 2 が形成される。

【 0 0 9 4 】

画素部 4 4 5 におけるスイッチング用の画素 T F T 4 4 2 と駆動回路 4 4 4 の n チャネル型 T F T 4 4 1 及び p チャネル型 T F T 4 4 0 の構造に限定はないが、本実施例では実施例 5 または実施例 6 により作製される T F T を用いて説明する。

【 0 0 9 5 】

駆動回路 4 4 4 にはソースまたはドレイン配線 4 1 5 ～ 4 1 8 が形成されている。また、画素部 4 4 5 においては、画素電極 4 1 9、ゲート配線 4 2 0、接続電極 4 2 1、ソース配線 4 1 1 が形成されている。ゲート電極 4 0 8 ～ 4 1 0 の上層に形成されるパッシベーション膜 4 1 3 は窒化シリコン膜や酸化窒化シリコン膜で 5 0 ～ 2 0 0 n m の厚さに形成され、層間絶縁膜 4 1 4 は酸化シリコンなどの無機絶縁材料またはポリイミド、アクリルなどの有機絶縁材料を用いて 5 0 0 ～ 2 0 0 0 n m の厚さで形成されている。

【 0 0 9 6 】

駆動回路 4 4 4 の p チャネル型 T F T 4 4 0 には、半導体層 4 0 3 にチャネル形成領域 4 2 2、ソース領域またはドレイン領域として機能する p 型の不純物領

域423を有している。

【0097】

nチャネル型TFT441には、半導体層404にチャネル形成領域424、ゲート電極409と重なるn型の不純物領域425（GOLD領域：Gate Overlapped Drain）とソース領域またはドレイン領域として機能するn型の不純物領域426を有している。

【0098】

画素TFT442には、半導体層405にチャネル形成領域427、ゲート電極410の外側に形成されるn型の不純物領域428（LDD領域）とソース領域またはドレイン領域として機能するn型の不純物領域429、430、431を有している。また、保持容量443の一方の電極として機能する半導体層406はn型の不純物領域432、433が形成されている。

【0099】

画素部445においては、接続電極421によりソース配線411は、画素TFT442のソースまたはドレイン領域429と電気的な接続が形成される。また、ゲート配線420は、ゲート電極410と電気的な接続が形成される。また、画素電極419は、画素TFT442のソースまたはドレイン領域431及び保持容量443の一方の電極である半導体層406の不純物領域433と接続している。

【0100】

図7における画素部445の断面図は、図8で示すA-A'線に対応したものである。ゲート電極410は隣接する画素の保持容量の一方の電極を兼ね、画素電極452と接続する半導体層453と重なる部分で容量を形成している。また、ソース配線411と画素電極419及び隣接する画素電極451との配置関係は、画素電極419、451の端部をソース配線411上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。

【0101】

[実施例8]

本実施例は、画素部と駆動回路が同一基板上に形成されたモノシリック型の液

晶表示装置の構成の他の一例を図 1 8 を用いて説明する。画素部 8 5 2 における画素 T F T (スイッチング用の T F T) 8 5 5 と駆動回路 8 5 1 の n チャネル型 T F T 8 5 4 及び p チャネル型 T F T 8 5 3 に用いる結晶質半導体膜は、実施例 1 ~ 3 で示すいずれかの方法により作製されるものを適用している。

【 0 1 0 2 】

図 1 8 において、基板 8 0 1 は、好適にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などを用いる。その他に石英基板を用いても良い。ガラス基板を用いる場合にはブロッキング層 8 0 2 が形成される。8 1 4、8 1 5 はパッシベーション膜であり、窒化シリコン膜や酸化窒化シリコン膜などから形成される。8 1 6 は層間絶縁膜であり、酸化シリコンなどの無機絶縁材料またはポリイミド、アクリルなどの有機絶縁材料を用いて形成されている。

【 0 1 0 3 】

画素部 8 5 2 におけるスイッチング用の画素 T F T 8 5 5 と駆動回路 8 5 1 の n チャネル型 T F T 8 5 4 及び p チャネル型 T F T 8 5 3 はゲート電極を利用して自己整合的に形成された不純物領域を有している。

【 0 1 0 4 】

駆動回路 8 5 1 には配線 8 1 2、8 1 7 及びソースまたはドレイン配線 8 1 8 ~ 8 2 1 が形成されている。また、画素部 8 5 2 においては、画素電極 8 2 4、ゲート配線 8 2 3、接続電極 8 2 2、ソース配線 8 1 3 が形成されている。

【 0 1 0 5 】

駆動回路 8 5 1 の p チャネル型 T F T 8 5 3 には、半導体層 8 0 3 にチャネル形成領域 8 2 6、ソース領域またはドレイン領域として機能する p 型の不純物領域 8 2 7 を有している。p 型の不純物領域 8 2 7 はゲート電極 8 0 8 を利用して自己整合的に形成されたものである。

【 0 1 0 6 】

n チャネル型 T F T 8 5 4 には、半導体層 8 0 4 にチャネル形成領域 8 2 8、ゲート電極 8 0 9 と重なる n 型の不純物領域 8 2 9 とソース領域またはドレイン領域として機能する n 型の不純物領域 8 3 0 を有している。n 型の不純物領域 8 2 9 はゲート電極 8 0 9 を利用して自己整合的に形成されている。

【0107】

画素TFT855には、半導体層805にチャネル形成領域831、ゲート電極810と重なるn型の不純物領域832a、ゲート電極810の外側に形成されるn型の不純物領域832b（LDD領域）とソース領域またはドレイン領域として機能するn型の不純物領域833、834、835を有している。n型の不純物領域832aはゲート電極810を利用して自己整合的に形成されるものであるが、n型の不純物領域832bはマスクを用いて非自己整合的に形成されるものである。また、保持容量856の一方の電極として機能する半導体層806はn型の不純物領域837、838と不純物が添加されない領域836が形成されている。

【0108】

画素部855においては、接続電極822によりソース配線813は、画素TFT855のソースまたはドレイン領域833と電氣的に接続している。また、ゲート配線823は、ゲート電極810と電氣的な接続が形成される。また、画素電極824は、画素TFT855のソースまたはドレイン領域835及び保持容量856の一方の電極である半導体層806の不純物領域838と接続している。

【0109】

また、図18における画素部855のA-A'線は、図8で示す画素の上面図と対応付けて見ることができる。このような構造のTFTを用いてアクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することができる。それ以外にも、このようなnチャネル型TFTまたはpチャネル型TFTは、画素部を形成するトランジスタに応用することができる。さらに、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【0110】

[実施例9]

ここでは、上記実施例5又は実施例6で得られるTFTを用いてEL（エレクトロルミネセンス）表示装置を作製した例について図9を用い以下に説明する。

【 0 1 1 1 】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例（但し封止前の状態）を図9に示す。なお、駆動回路には基本単位となるCMOS回路を示し、画素部には一つの画素を示す。このCMOS回路は実施例6に従えば得ることができる。

【 0 1 1 2 】

図9において、基板600は絶縁体であり、その上にはnチャネル型TF T 601、pチャネル型TF T 602、pチャネル型TF TからなるスイッチングTF T 603およびnチャネル型TF Tからなる電流制御TF T 604が形成されている。これらのTF Tのチャネル形成領域は、本発明に基づき作製される結晶質半導体膜で形成され、その具体的な作製方法は実施例1～4に示されている。

【 0 1 1 3 】

nチャネル型TF T 601およびpチャネル型TF T 602は実施例6を参照すれば良いので省略する。また、スイッチングTF T 603はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、実施例2でのpチャネル型TF Tの構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【 0 1 1 4 】

また、電流制御TF T 604のドレイン領域605の上には第2層間絶縁膜607が設けられる前に、第1層間絶縁膜606にコンタクトホールが設けられている。これは第2層間絶縁膜607にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第2層間絶縁膜607にはドレイン領域605に到達するようにコンタクトホールが形成され、ドレイン領域605に接続された画素電極608が設けられている。画素電極608はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0115】

次に、613は画素電極608の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク613は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0116】

また、EL素子609は画素電極（陰極）608、EL層611および陽極612からなる。陽極612は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。

【0117】

尚、ここでは図示しないが陽極612を形成した後、EL素子609を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0118】

[実施例10]

図14は本発明の結晶質半導体膜を用いて作製される逆スタガ型のTFTの断面図である。シリコンを主成分とし、ゲルマニウムを含有する第1の結晶質半導体膜及びシリコンを主成分とする第2の結晶質半導体膜は、ガラスまたは石英などの基板301上にゲート電極360、261、ゲート絶縁膜362が形成された絶縁表面上にも形成可能である。上記結晶質半導体膜を得る方法は、実施例1～3の方法により作製することができる。

【0119】

ゲルマニウムを含有する第1の結晶質半導体膜及びシリコンを主成分とする第2の結晶質半導体膜とを積層して島状の半導体層363、364が形成されてい

る。nチャネル型TFT380は半導体層363を用いて作製され、チャネル形成領域373とn型不純物（ドナー）をドーピングして作製されるLDD領域374及びソースまたはドレイン領域375が形成されている。pチャネル型TFT381は半導体層364を用いて作製され、チャネル形成領域376とp型不純物（アクセプタ）をドーピングして作製されるソースまたはドレイン領域377が形成されている。

【0120】

チャネル形成領域373、376上にはチャネル保護膜365、366が形成され、パッシベーション膜367、層間絶縁膜368を介してソースまたはドレイン電極369～372が形成されている。このような逆スタガ型のTFTを用いても、アクティブマトリクス型の液晶表示装置やEL表示装置の駆動回路を形成することができる。それ以外にも、このようなnチャネル型TFTまたはpチャネル型TFTは、画素部を形成するトランジスタに応用することができる。さらに、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【0121】

[実施例11]

本発明の結晶質半導体膜を用いたアクティブマトリクス型表示装置の他の作製例を図15と図16を用いて説明する。但し、説明を簡単にするために、CMOS回路と、nチャネル型TFTとを図示することにする。

【0122】

図15（A）において、701は耐熱性を有する基板であり、石英基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。

【0123】

次に、20～6050nm（好ましくは30～80nm）の厚さで非晶質構造を有する半導体膜を、プラズマCVD法やスパッタ法、または減圧CVD法などで形成する。本実施例では、シリコンを主成分とし、ゲルマニウムを含有する第

1 の非晶質半導体膜を 1 0 n m の厚さに形成し、シリコンを主成分とする第 2 の結晶質半導体膜を 4 0 n m の厚さに形成する。また、ブロッキング層を形成する場合、非晶質半導体膜と同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。ブロッキング層を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製する T F T の特性バラツキやしきい値電圧の変動を低減させることができる。

【 0 1 2 4 】

結晶化は実施例 1 または 2 の方法を適用して行い、シリコンを主成分とし、ゲルマニウムを含有する第 1 の結晶質半導体膜 7 0 2 と、シリコンを主成分とする第 2 の結晶質半導体膜 7 0 3 を形成する。

【 0 1 2 5 】

そして、図 1 5 (B) で示すように、第 2 の結晶質半導体膜 7 0 3 上に酸化シリコン膜からなる 1 3 0 n m の厚さの保護絶縁膜 7 0 4 を形成する。そして第 1 及び第 2 の結晶質半導体膜にゲッタリング領域を形成するために、保護絶縁膜 7 0 4 に開口部を形成する。

【 0 1 2 6 】

結晶化の過程で添加されたシリコンの結晶化を助長する元素はリンによるゲッタリング作用を利用して除去する。図 1 5 (C) では、第 1 及び第 2 の結晶質半導体膜にイオンドープ法によりリンを注入し、リン添加領域 7 0 5 を形成している。このとき、ドーピングの加速電圧と、酸化膜で成る保護絶縁膜 7 0 4 の厚さを最適化し、リンが保護絶縁膜 7 0 4 を実質的に突き抜けないようにする。ドーピングはリン (P) の濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$ a t o m s / c m ³ 程度になるように調節する。

【 0 1 2 7 】

その後、6 0 0 ° C の窒素雰囲気にて 1 ~ 1 2 時間 (本実施例では 1 2 時間) の加熱処理を行い、当該元素のゲッタリングを行う。この加熱処理によりニッケルに代表されるシリコンの結晶化を助長する元素はリン添加領域 7 0 5 に偏析させることができる。

【 0 1 2 8 】

次に図 1 5 (D) に示すように、保護絶縁膜 7 0 4 をマスクとしてリン添加領域 7 0 5 をエッチングする。そして保護絶縁膜 7 0 4 を除去した後に、第 1 及び第 2 の結晶質半導体膜を覆うように酸化シリコン膜 7 0 6 を形成する。本実施例では 2 0 n m の厚さで形成する。そして、9 5 0 °C で酸素雰囲気下で熱酸化し、図 1 5 (E) に示すように酸化シリコン膜 7 0 7 を成長させる。その結果、第 2 の結晶質半導体膜 7 0 9 の膜厚は 1 5 n m 程度減少することになる。この酸化シリコン膜の成長に伴って、過剰なシリコンが第 2 の結晶質半導体膜 7 0 9 中に押し出され、結晶質半導体膜を緻密化させることができる。

【 0 1 2 9 】

そして、図 1 5 (F) に示すように、酸化シリコン膜 7 0 7 を除去し、p チャネル型 T F T が形成される部分を覆ってマスク 7 1 0 を形成する。第 1 及び第 2 の結晶質半導体膜の n チャネル型 T F T が形成される領域にはしきい値電圧を制御する目的で、p 型の不純物としてボロン (B) をドーピングする。ドーピングは加速電圧 3 0 k e V 程度で行い、ボロン (B) の濃度が $5 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度となるチャネルドープ領域 7 1 1 を形成する。ここでのボロン (B) 添加は必ずしも必要でないが、チャネル形成領域 7 1 1 は n チャネル型 T F T のしきい値電圧を所定の範囲内に収める手段として好適に用いることができる。

【 0 1 3 0 】

その後、マスク 7 1 0 を除去して第 1 及び第 2 の結晶質半導体膜をエッチングして、図 1 5 (G) に示す如く、島状の半導体層 7 1 2 ~ 7 1 4 を形成する。また、ここでは詳細に説明しないが、この段階で画素部において保持容量を形成する半導体層 7 1 4 にリンを選択的に添加して不純物領域 7 1 5 を形成しておく。ドーピングは加速電圧 1 0 k e V 程度で行い、リン (P) の濃度が $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms} / \text{cm}^3$ 程度になるように調節した。本実施例では、リン (P) の濃度が $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ となるように、イオンドーピング装置を用いて行った。

【 0 1 3 1 】

そして、図 1 5 (H) に示すように半導体層 7 1 2 ~ 7 1 4 を覆って第 1 ゲー

ト絶縁膜 7 1 6 を形成する。代表的には、酸化シリコン膜又は窒化シリコン膜からなる第 1 ゲート絶縁膜 7 1 6 を、その膜厚が 5 ~ 2 0 0 n m (好ましくは 1 0 0 ~ 1 5 0 n m) となるように形成すれば良い。本実施例では酸化シリコン膜または酸化シリコンを主成分とする膜からなる第 1 ゲート絶縁膜 7 1 6 の膜厚を 4 0 n m とする。

【 0 1 3 2 】

そして、第 1 ゲート絶縁膜 7 1 6 の一部 (保持容量形成部) をエッチングすることにより、半導体膜 7 1 4 の一部を露出させる。その後、第 2 ゲート絶縁膜 7 1 7 を形成する。代表的には、第 2 ゲート絶縁膜 7 1 7 の膜厚は 5 ~ 2 0 0 n m (好ましくは 1 0 0 ~ 1 5 0 n m) とすれば良い。本実施例では窒化シリコン膜からなる第 2 ゲート絶縁膜 7 1 7 を、その膜厚が 2 0 n m となるように形成する。

【 0 1 3 3 】

そして、図 1 5 (I) に示すように、 n 型の多結晶シリコンから成る第 1 の導電層と高融点金属から成る第 2 の導電層を形成する。そして、これらの導電層からゲート電極 7 1 8 ~ 7 2 0 (第 1 の導電層 7 1 8 a ~ 7 2 0 a と第 2 の導電層 7 1 8 b ~ 7 2 0 b から成る積層体) と保持容量電極 7 2 1 (第 1 の導電層 7 2 1 a と第 2 の導電層 7 2 1 b から成る積層体) を形成する。

【 0 1 3 4 】

第 1 導電膜は n 型の不純物を有する結晶質シリコン膜であり、 C V D 法を用いて 1 5 0 n m の膜厚で形成されている。また第 2 導電膜はタングステンシリサイドであり、スパッタ法により 1 5 0 n m の膜厚で形成する。この場合、金属膜を用いるよりも若干抵抗が上がるが、シリサイド膜と多結晶シリコン膜との積層構造は耐熱性が高く、酸化にも強いので有効な構造である。尚、第 1 導電膜は窒化タンタル (T a N) 、窒化タングステン (W N) 、窒化チタン (T i N) 膜、窒化モリブデン (M o N) 、タングステンシリサイド、チタンシリサイドまたはモリブデンシリサイドで形成しても良く、第 2 導電膜はタンタル (T a) 、チタン (T i) 、モリブデン (M o) 、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には M

o-W合金膜、Mo-Ta合金膜)で形成しても良い。

【0135】

そして、図16(A)に示すように、ゲート電極718~720、保持容量電極721をマスクとして利用し、半導体層712、713及び半導体層714の一部にn型の不純物(ドナー)をドーピングし、不純物領域722~724を形成する。n型の不純物(ドナー)としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH_3)を用いたイオンドープ法を適用した。ドーピングは加速電圧40keV程度で行い、リン(P)の濃度が $5 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ 程度になるように調節した。本実施例では、不純物領域722~724のリン(P)の濃度が $1 \times 10^{18} / \text{cm}^3$ となるように、イオンドーピング装置を用いて行った。

【0136】

次に、図16(B)に示すように、pチャネル型TFTとなる半導体層712と、nチャネル型TFTとなる半導体層713、714の一部を覆うようにレジストマスク725~727を形成する。そしてレジストマスク725~727を利用して半導体膜713、714の一部にn型の不純物をドーピングし、不純物領域728、729を形成する。不純物領域728、729の形成は、フォスフィン(PH_3)を用いたイオンドープ法で行い、ドーピングは加速電圧40keV程度で行い、リン(P)の濃度が $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 程度になるように調節する。本実施例では、不純物領域728、729のリン(P)の濃度が $1 \times 10^{20} / \text{cm}^3$ で形成する。

【0137】

図16(C)では、レジストマスク725~727を除去し、nチャネル型TFTとなる部分及び保持容量となる部分をレジストマスク730で覆う。そして半導体膜712にp型の不純物(アクセプタ)をドーピングする。本実施例では、ジボラン(B_2H_6)を用いたイオンドープ法で不純物領域731を形成する。ドーピングは加速電圧40keV程度で行い、ボロン(B)の濃度が $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 程度になるように調節する。本実施例では、不純物領域6037、6038のボロン(B)の濃度が $1 \times 10^{20} / \text{cm}^3$ となるようにする

。不純物領域 7 3 1 には、既に前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でボロン (B) が添加されるので、導電型が反転し、p 型の導電性が確保される。

【 0 1 3 8 】

そして、レジストマスク 7 3 0 を除去した後、図 1 6 (D) に示すように絶縁膜 7 3 2 を形成する。絶縁膜 7 3 2 は窒化珪素膜からなり、CVD 法によって膜厚 7 0 n m に形成する。

【 0 1 3 9 】

次に窒素雰囲気下、8 5 0 °C で 3 0 分の条件で加熱することにより、不純物領域 7 2 3、7 2 4、7 3 1 に含まれる不純物が拡散してゲート電極 7 1 8 ~ 7 2 0 の下部にまで広がる。こうして、ゲート電極 7 1 8 ~ 7 2 0 の下部に位置する不純物領域 7 4 5 ~ 7 4 7 が形成される。この不純物領域はいわば LDD 領域であり、ゲート電極とオーバーラップさせて形成することによりド레인端の高電界領域を緩和して、ホットキャリアによる劣化防止に有効である。また、上記熱処理によって不純物領域は活性化される。

【 0 1 4 0 】

次に、図 1 6 (E) に示すように、酸化シリコン又は酸化窒化シリコンからなる第 1 の層間絶縁膜 7 3 3 を 5 0 0 ~ 6 0 5 0 0 n m の厚さで形成する。本実施例では、酸化窒化シリコンを用い 1 0 0 0 n m の厚さで形成した。その後、それぞれの半導体層に形成されたソース領域またはド레인領域に達するコンタクトホールを形成し、ソースまたはド레인配線 7 3 4 ~ 7 3 9 を形成する。なお、図示していないが、本実施例ではこのソース配線、ド레인配線を、Ti 膜 6 0 n m、窒素を含む Ti 膜 4 0 n m、Si を含むアルミニウム膜 3 0 0 n m、Ti 膜 1 0 0 n m をスパッタ法で連続して形成した 4 層構造の積層膜とする。

【 0 1 4 1 】

さらに、図 1 6 (F) で示すように、ソースまたはド레인配線 7 3 4 ~ 7 3 9 を覆うように第 1 層間絶縁膜 7 3 3 上に窒化シリコン膜からなるパッシベーション膜 7 4 0 を 1 0 0 n m の厚さで形成する。そしてパッシベーション膜 7 4 0 を覆うようにして第 2 層間絶縁膜 7 4 1 を形成する。この第 2 層間絶縁膜 7 4 1

はアクリル樹脂で形成し、厚さを800nmとする。

【0142】

アクリル樹脂からなる第2層間絶縁膜741を150℃、0.3hrの条件で加熱した後、第2層間絶縁膜741の上にTi膜またはTiを主成分とする厚さが100nmの遮光膜742を形成する。そして、遮光膜742を覆うように第2層間絶縁膜741上に第3層間絶縁膜743を形成する。第3層間絶縁膜743はアクリル樹脂からなり、その厚さは500nm～1000nmで形成する。本実施例では第3層間絶縁膜743の厚さを800nmとする。

【0143】

その後、第3層間絶縁膜743上に画素電極744が形成され、コンタクトホールを介してソースまたはドレイン電極739と接続される。本実施例では画素電極744の厚さを2.8μmとして形成する。画素電極744は透明導電膜を用いる。以上のようにして作製される、アクティブマトリクス型の表示装置は駆動回路および画素部に様々な特徴を有しており、これらの相乗効果によって明るく高精細な画像が得られ、動作性能および信頼性の高い電気光学装置を得る。そして、そのような電気光学装置を部品として搭載した高性能な電子機器を得る。

【0144】

[実施例12]

本発明の半導体装置は、各種多様の電子機器の表示装置や各種集積回路、或いは、従来の集積回路に代わる回路用途に応用することができる。このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ、プロジェクター等が挙げられる。それらの一例を図19～図21に示す。

【0145】

図19(A)は携帯電話であり、表示用パネル2701、操作用パネル2702、接続部2703から成り、表示用パネル2701には液晶表示装置またはEL表示装置に代表される表示装置2704、音声出力部2705、アンテナ2709などが設けられている。操作パネル2702には操作キー2706、電源スイッチ2702、音声入力部27058などが設けられている。本発明は表示装

置 2904 及びそれに付随する半導体集積回路を形成することができる。

【0146】

図 19 (B) はビデオカメラであり、本体 9101、液晶表示装置または EL 表示装置に代表される表示装置 9102、音声入力部 9103、操作スイッチ 9104、バッテリー 9105、受像部 9106 から成っている。本発明は表示装置 9102 及びそれに付随する半導体集積回路に適用することができる。

【0147】

図 19 (C) はモバイルコンピュータ或いは携帯型情報端末であり、本体 9201、カメラ部 9202、受像部 9203、操作スイッチ 9204、液晶表示装置または EL 表示装置に代表される表示装置 9205 で構成されている。本発明は半導体装置は表示装置 9205 及びそれに付随する半導体集積回路に適用することができる。

【0148】

図 19 (D) はテレビ受像器であり、本体 9401、スピーカ 9402、液晶表示装置または EL 表示装置に代表される表示装置 9403、受信装置 9404、増幅装置 9405 等で構成される。本発明は表示装置 9403 及びそれに付随する半導体集積回路に適用することができる。

【0149】

図 19 (E) は携帯書籍であり、本体 9501、液晶表示装置または EL 表示装置に代表される表示装置 9502、9503、記憶媒体 9504、操作スイッチ 9505、アンテナ 9506 から構成されており、ミニディスク (MD) や DVD に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示装置 9502、9503 や、記憶媒体 9504 及びそれに付随する半導体集積回路に適用することができる。

【0150】

図 20 (A) はパーソナルコンピュータであり、本体 9601、画像入力部 9602、液晶表示装置または EL 表示装置に代表される表示装置 9603、キーボード 9604 で構成される。本発明は表示装置 9601 や、内蔵する各種集積回路に適用することができる。

【0151】

図20(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9701、液晶表示装置またはEL表示装置に代表される表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置9702や、内蔵する各種集積回路に適用することができる。

【0152】

図20(C)はデジタルカメラであり、本体9801、液晶表示装置またはEL表示装置に代表される表示装置9802、接眼部9803、操作スイッチ9804、受像部(図示しない)で構成される。本発明は表示装置9802や、内蔵する各種集積回路に適用することができる。

【0153】

図21(A)はフロント型プロジェクターであり、投射装置3601、スクリーン3602で構成される。本発明は投射装置3601やその他の信号制御回路に適用することができる。

【0154】

図21(B)はリア型プロジェクターであり、本体3701、投射装置3702、ミラー3703、スクリーン3704で構成される。本発明は投射装置3702やその他の信号制御回路に適用することができる。

【0155】

尚、図21(C)は、図21(A)及び図21(B)中における投射装置3601、3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804~3806、ダイクロイックミラー3803、プリズム3807、液晶表示装置3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図21(C)中において矢印で示した光路に実

施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I Rフィルム等の光学系を設けてもよい。

【0156】

また、図21(D)は、図21(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクター3811、光源3812、レンズアレイ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図21(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I Rフィルム等の光学系を設けてもよい。

【0157】

ここでは図示しなかったが、本発明はその他にもナビゲーションシステムをはじめ冷蔵庫、洗濯機、電子レンジ、固定電話機、ファクシミリなどに組み込む表示装置としても適用することも可能である。このように本発明の適用範囲はきわめて広く、さまざまな製品に適用することができる。

【0158】

【発明の効果】

以上のとおり、本発明の結晶質半導体膜を用いて薄膜トランジスタのチャネル形成領域を形成することができる。このような結晶質半導体膜を用いたTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとて、また従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。

【図面の簡単な説明】

- 【図1】 本発明の結晶質半導体膜の作製方法を説明する図。
- 【図2】 本発明の結晶質半導体膜の作製方法を説明する図。
- 【図3】 本発明の結晶質半導体膜の作製方法を説明する図。
- 【図4】 本発明の結晶質半導体膜の作製方法を説明する図。
- 【図5】 本発明の結晶質半導体膜を用いたTFTの作製工程を説明する断面図。

【図 6】 本発明の結晶質半導体膜を用いた C M O S 回路の作製工程を説明する断面図。

【図 7】 本発明の結晶質半導体膜を用いた液晶表示装置の構造を説明する断面図。

【図 8】 画素部における画素構造の上面図。

【図 9】 本発明の結晶質半導体膜を用いた E L 表示装置の構造を説明する断面図。

【図 1 0】 本発明に用いるプラズマ C V D 装置の構成を示す図。

【図 1 1】 結晶核の隣接間距離を示す累積度数グラフ。

【図 1 2】 $G e H_4$ の添加量と結晶核発生密度との関係を示すグラフ。

【図 1 3】 $S i H_4$ 、 $G e H_4$ 、 H_2 ガスより作製された非晶質半導体膜の C、N、O 濃度を示す S I M S データ。

【図 1 4】 本発明の結晶質半導体膜を用いた逆スタガ型の T F T の構造を説明する断面図。

【図 1 5】 本発明の結晶質半導体膜を用いて駆動回路と画素部の T F T を作製する工程を説明する断面図。

【図 1 6】 本発明の結晶質半導体膜を用いて駆動回路と画素部の T F T を作製する工程を説明する断面図。

【図 1 7】 E B S P 法で得られる逆極点図の例。

【図 1 8】 本発明の結晶質半導体膜を用いた液晶表示装置の構造を説明する断面図。

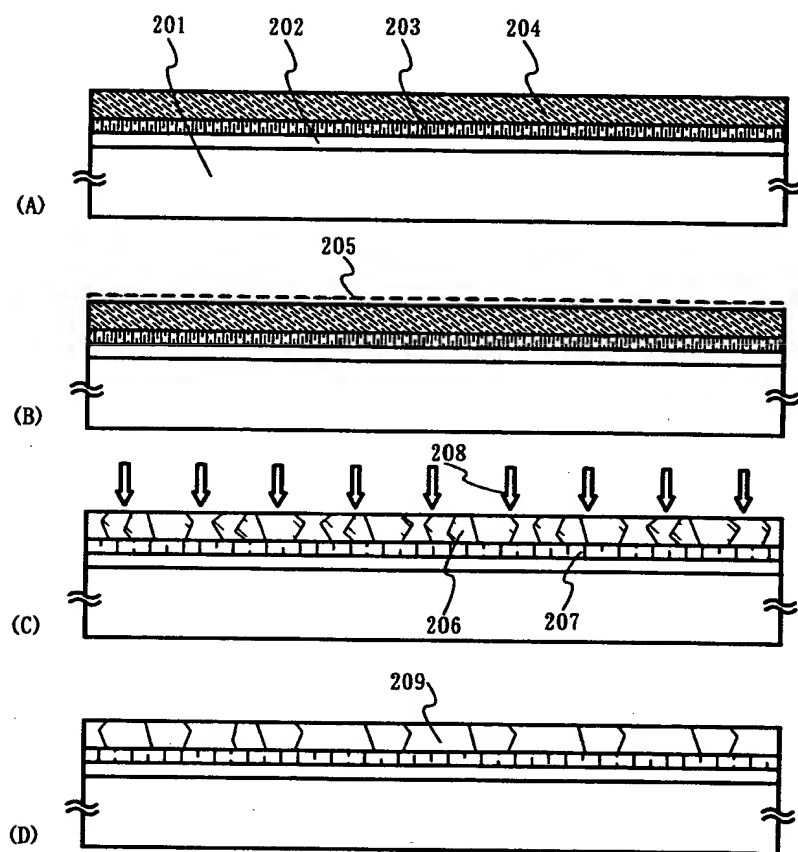
【図 1 9】 半導体装置の一例を示す図。

【図 2 0】 半導体装置の一例を示す図。

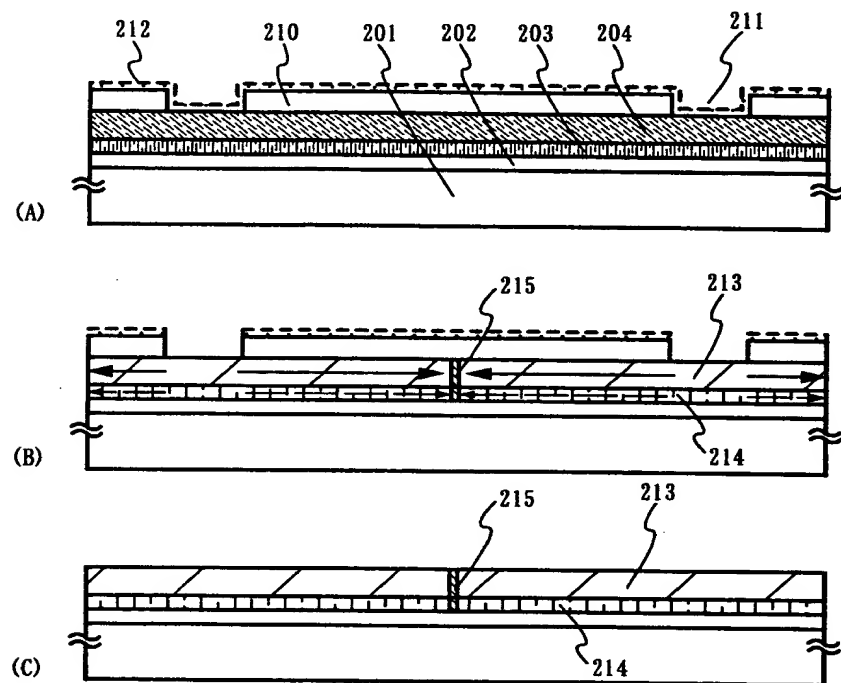
【図 2 1】 プロジェクターの一例を示す図。

【書類名】 図面

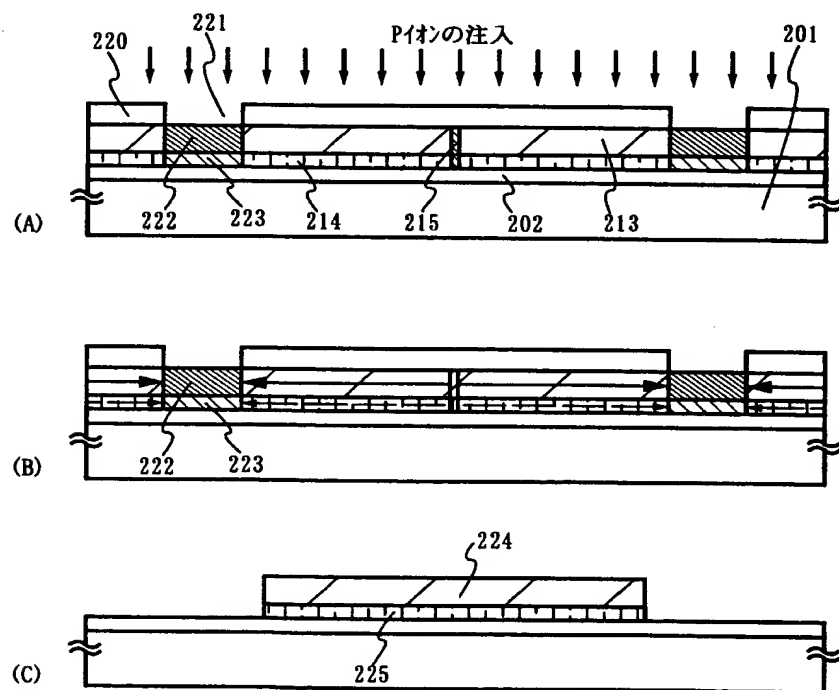
【図 1】



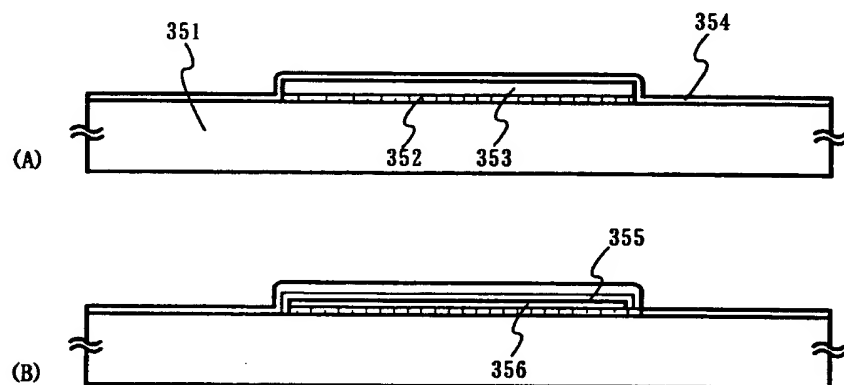
【図 2】



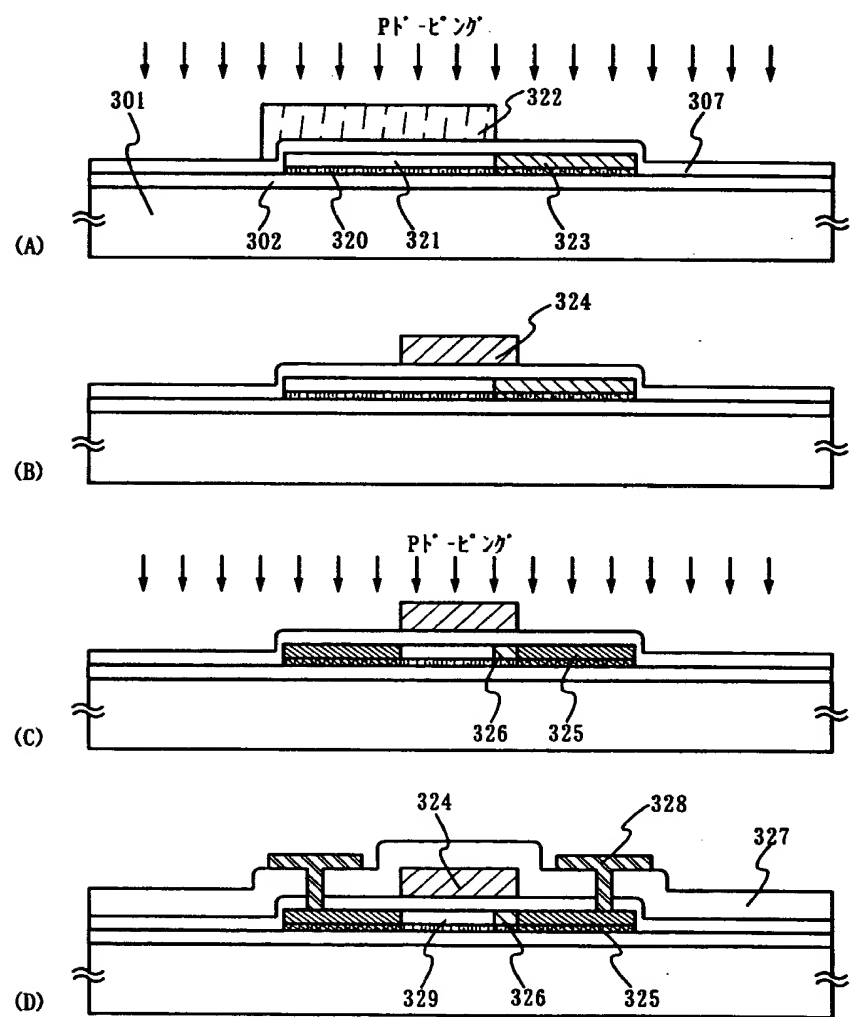
【図 3】



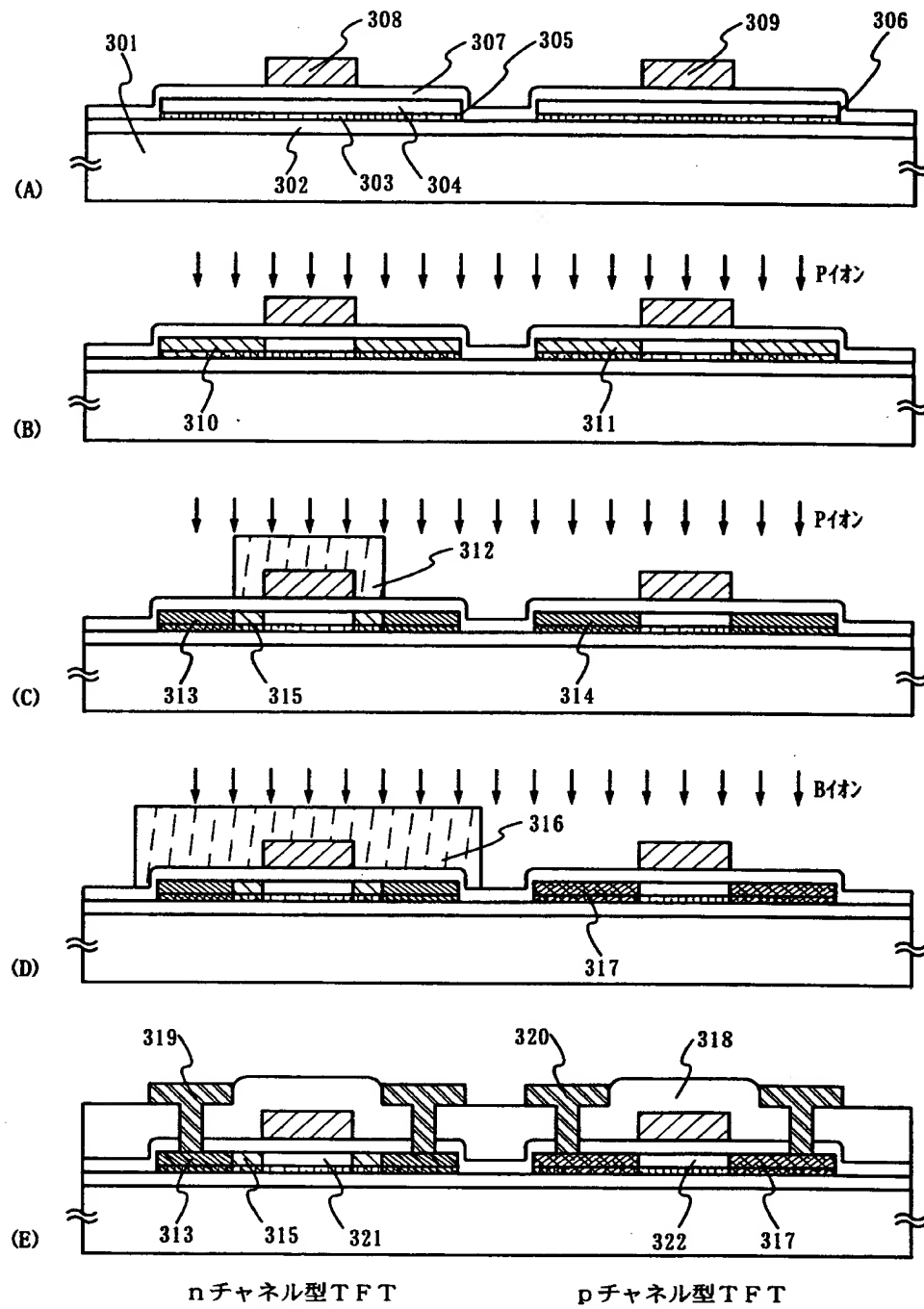
【図 4】



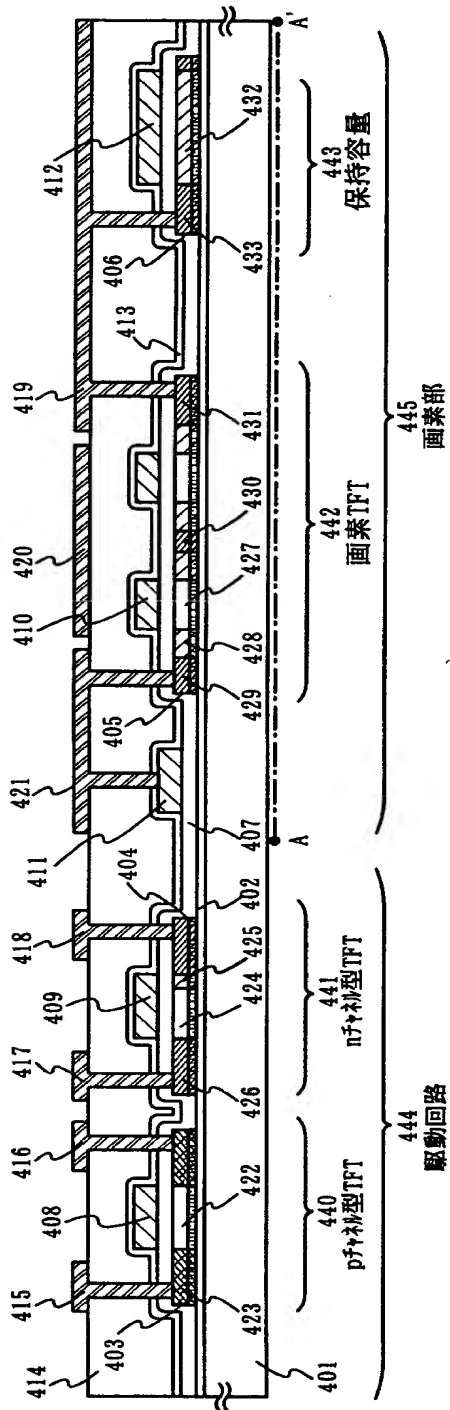
【図 5】



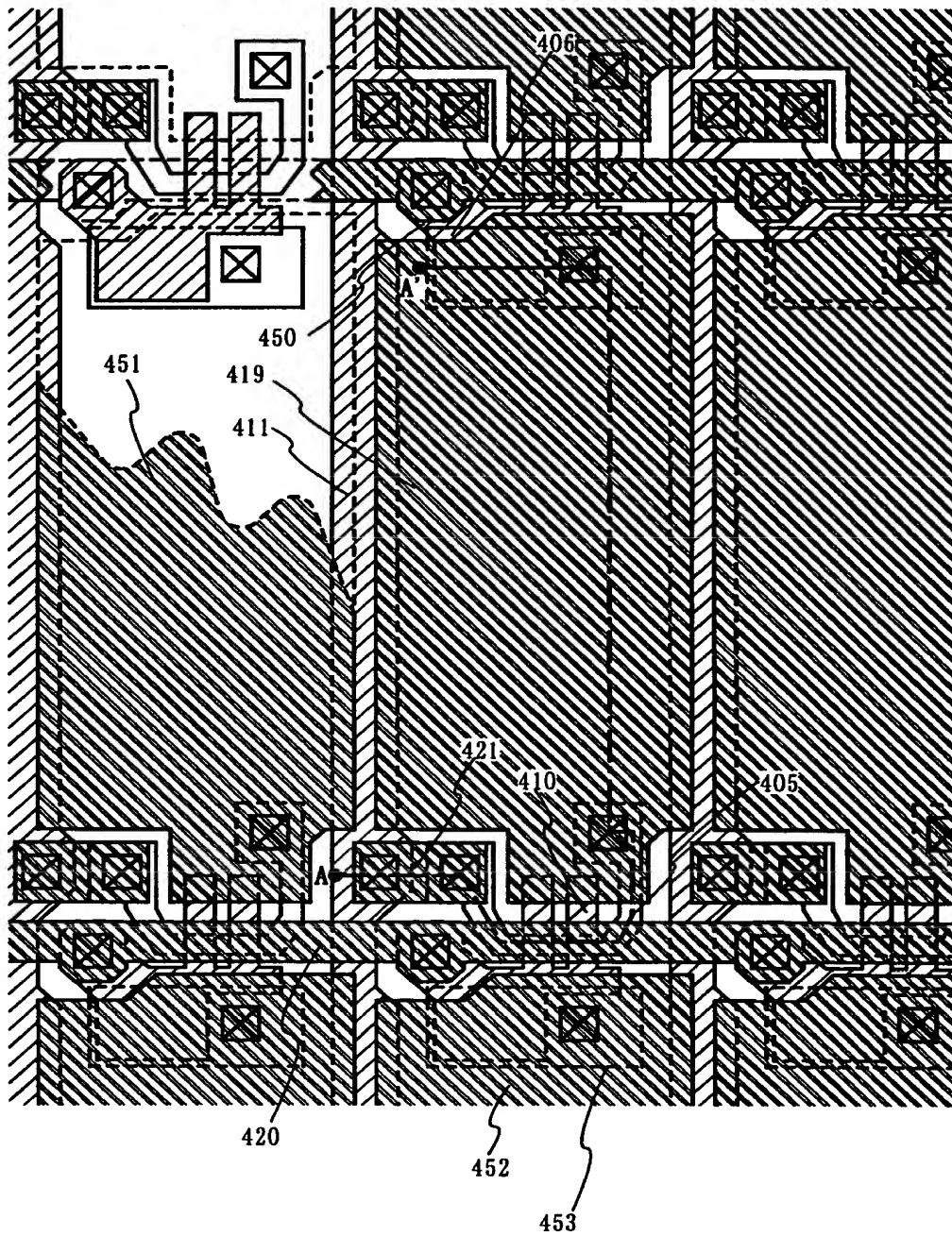
【図 6】



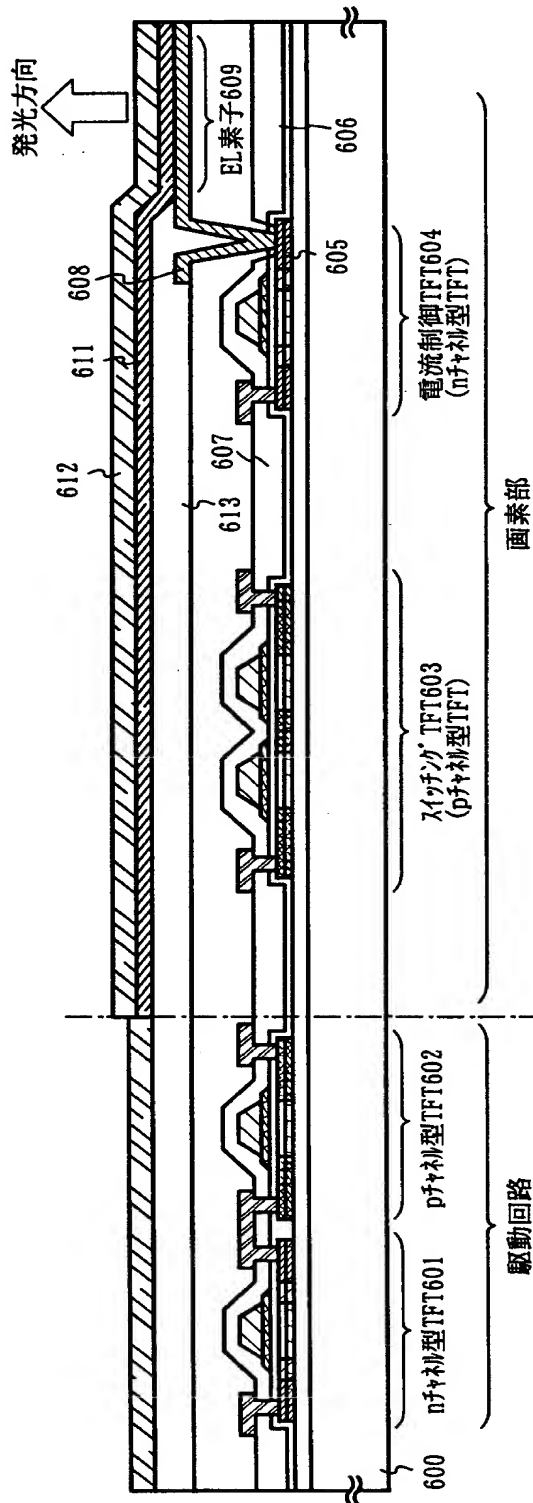
【図 7】



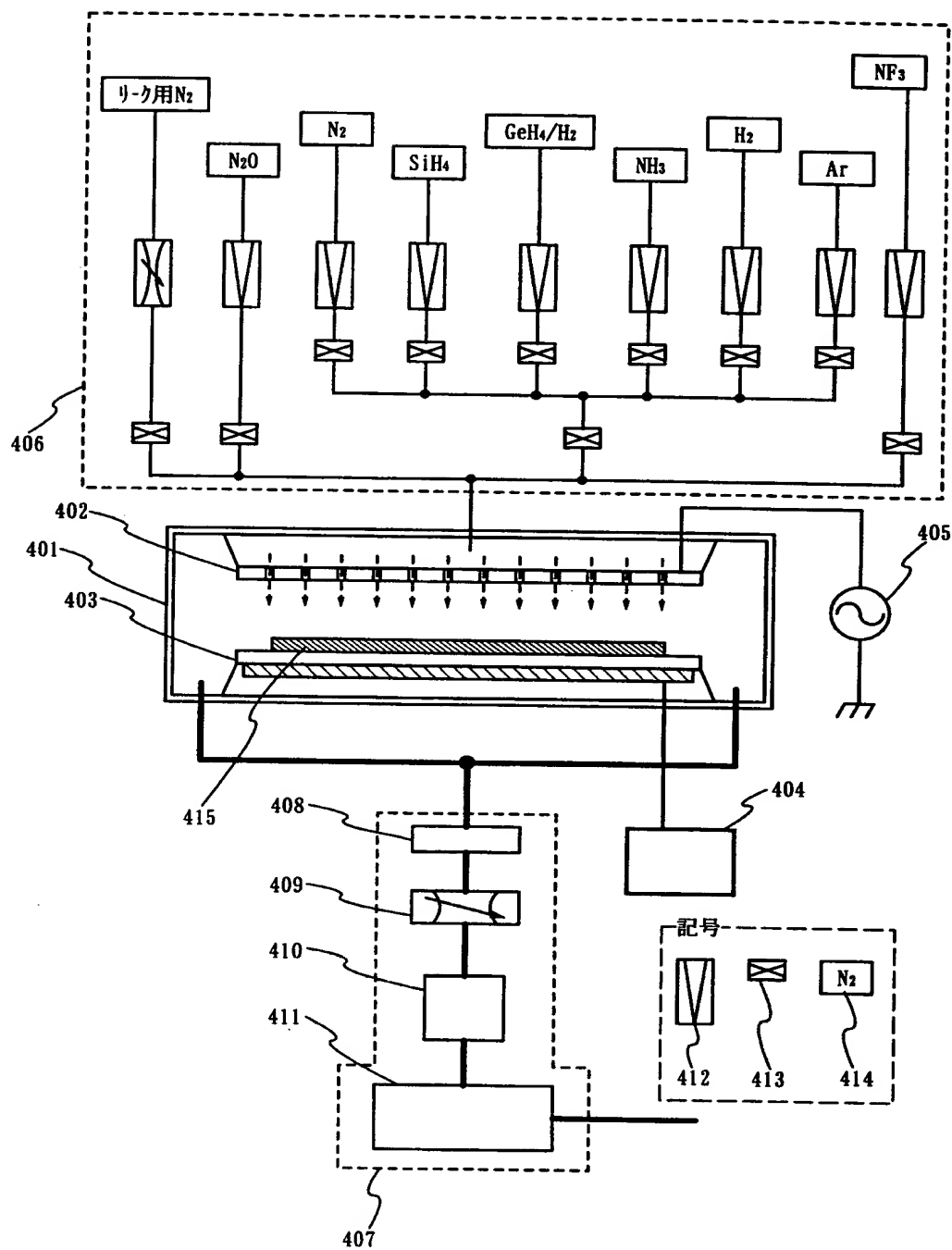
【図 8】



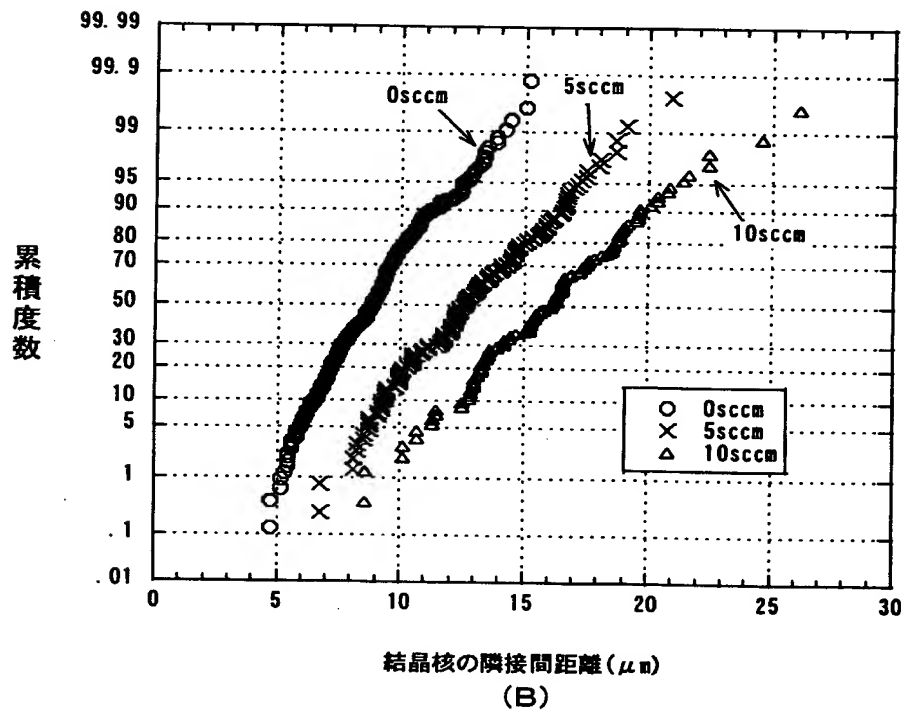
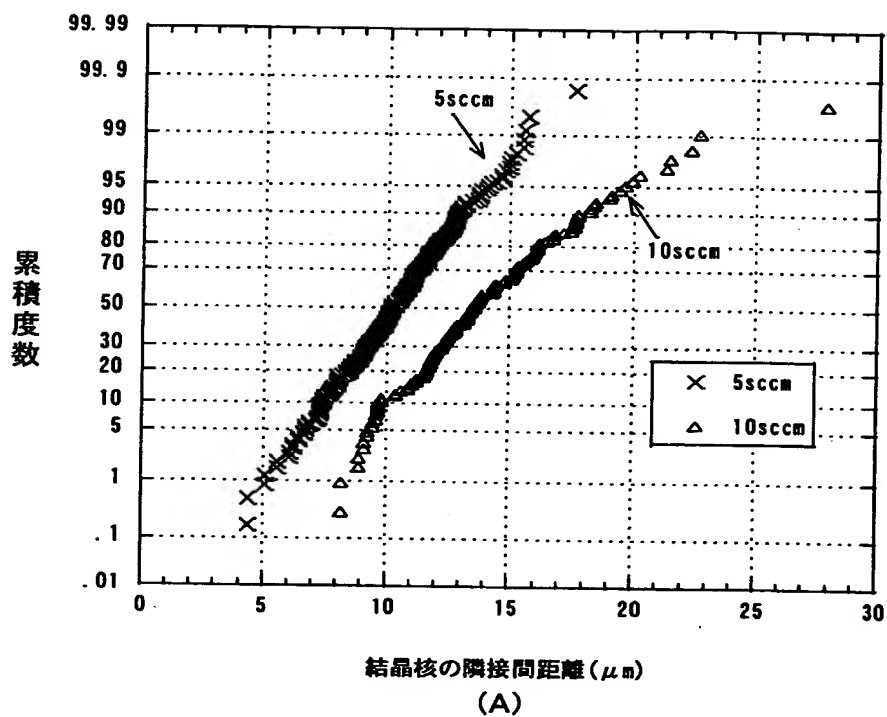
【図 9】



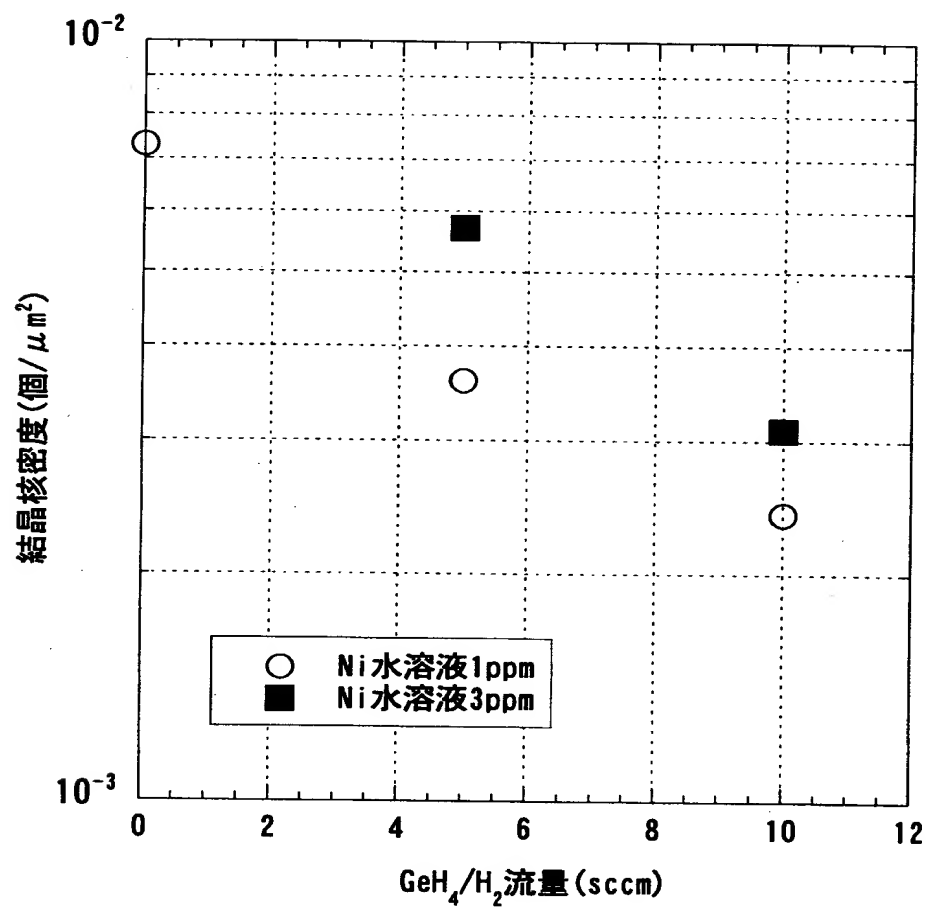
【図 10】



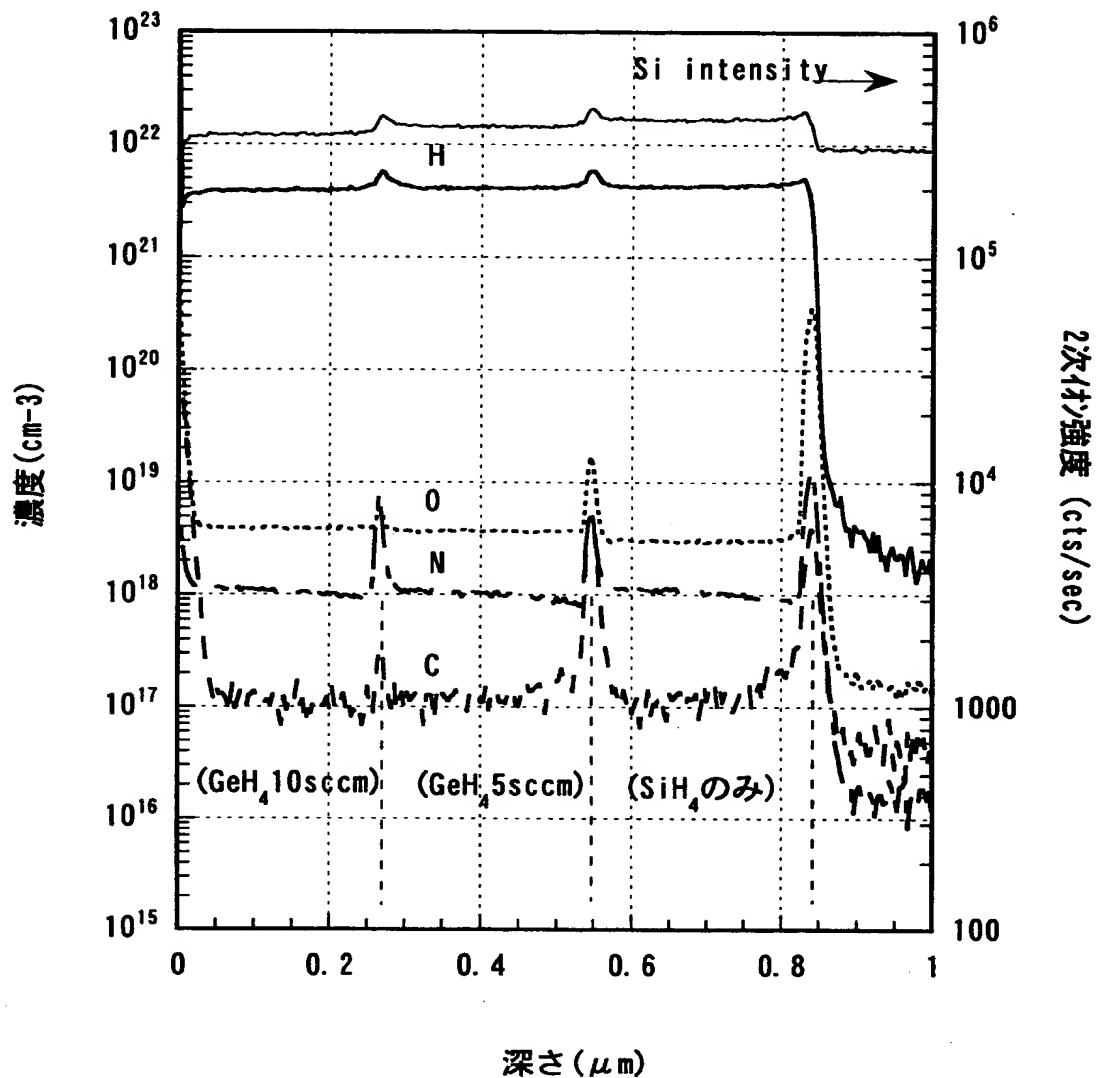
【図11】



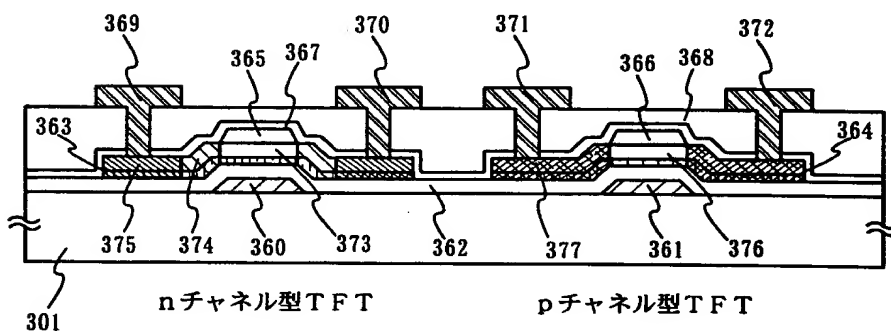
【図12】



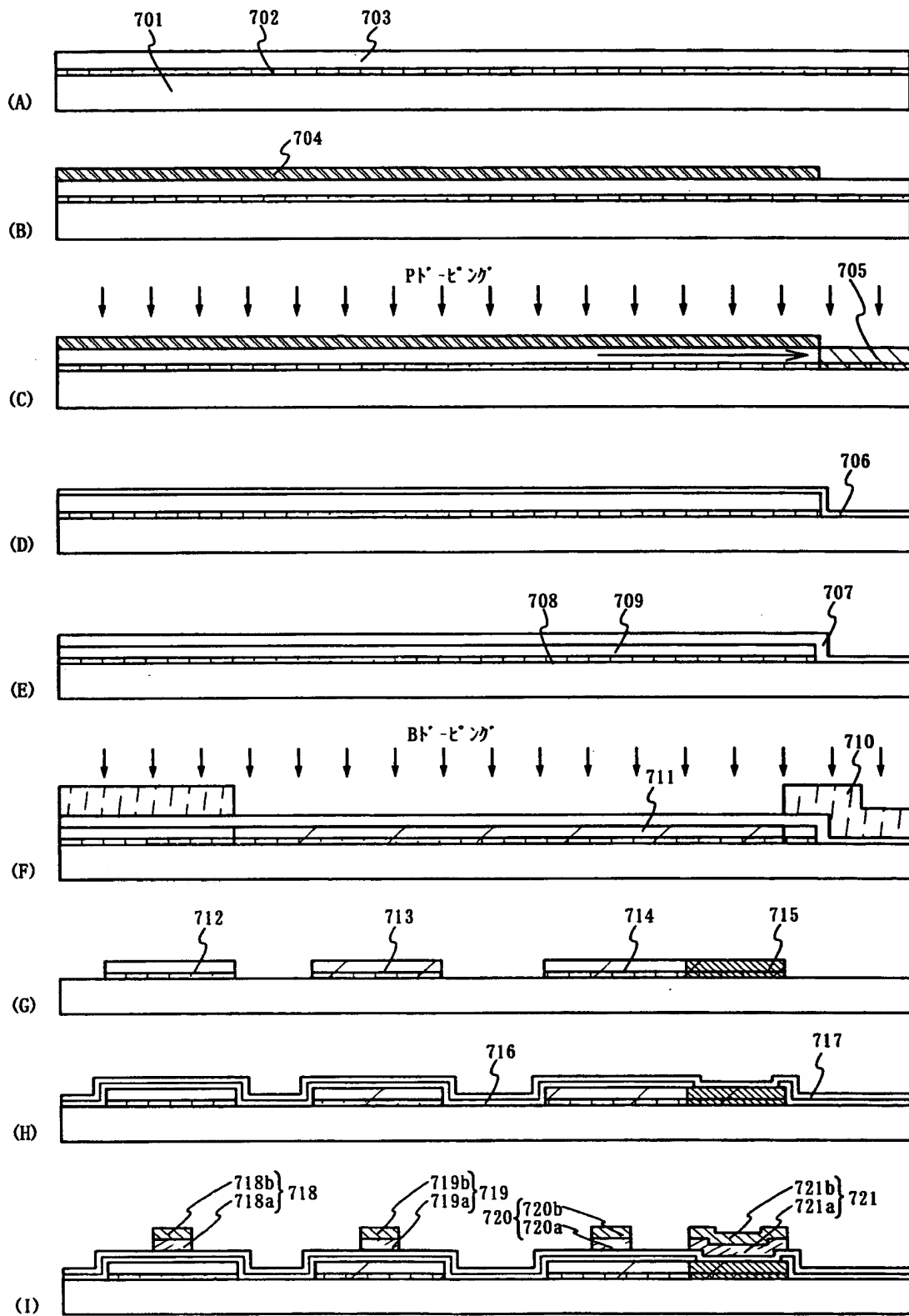
【図 1 3】



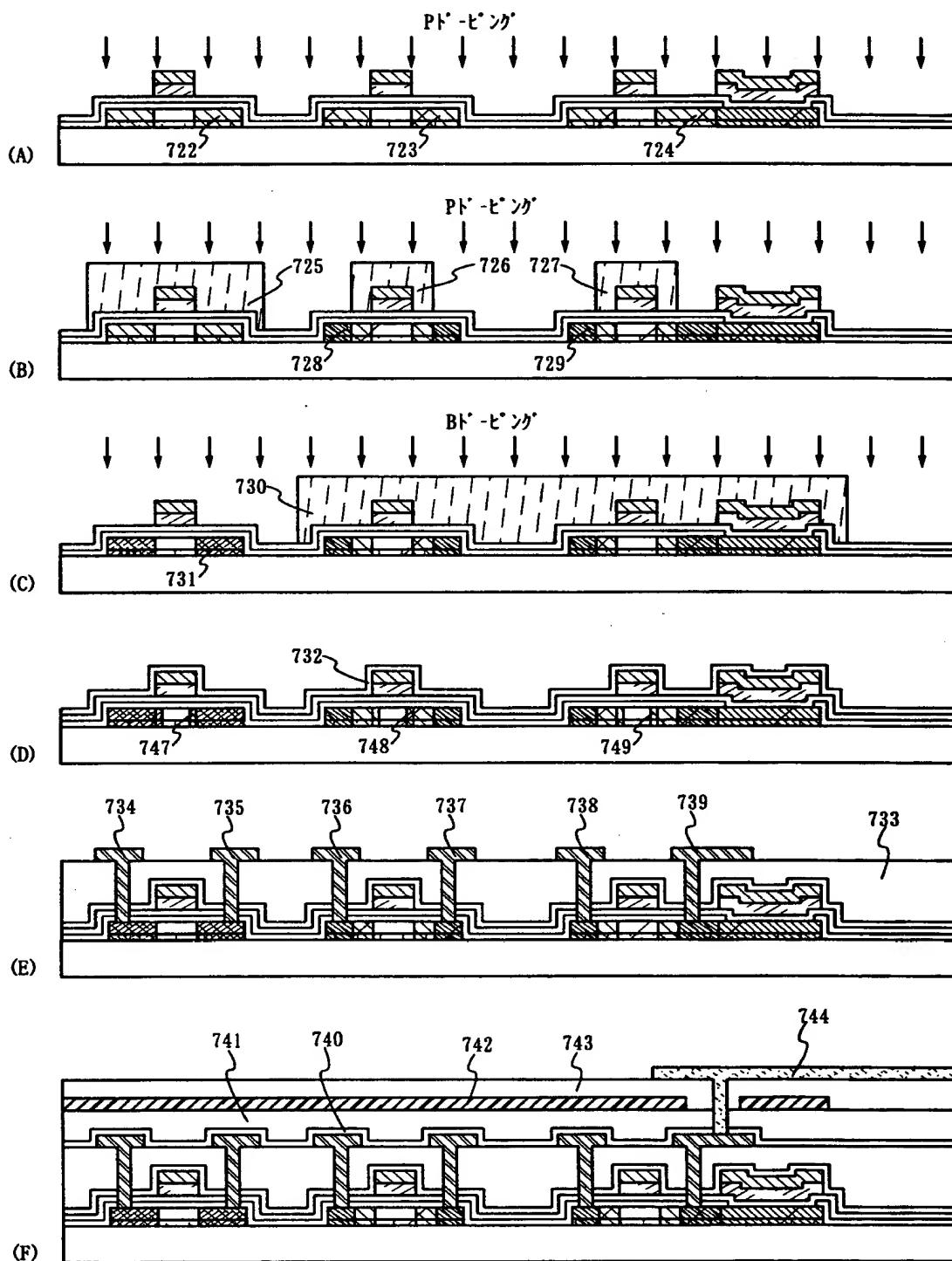
【図 1 4】



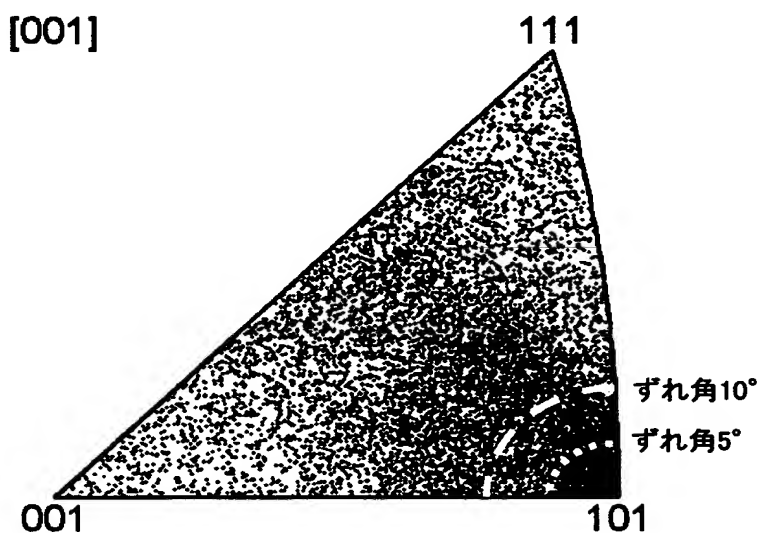
【図 1 5】



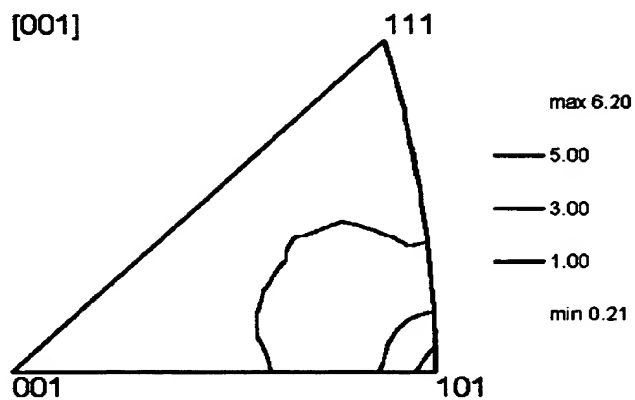
【図16】



【図 17】

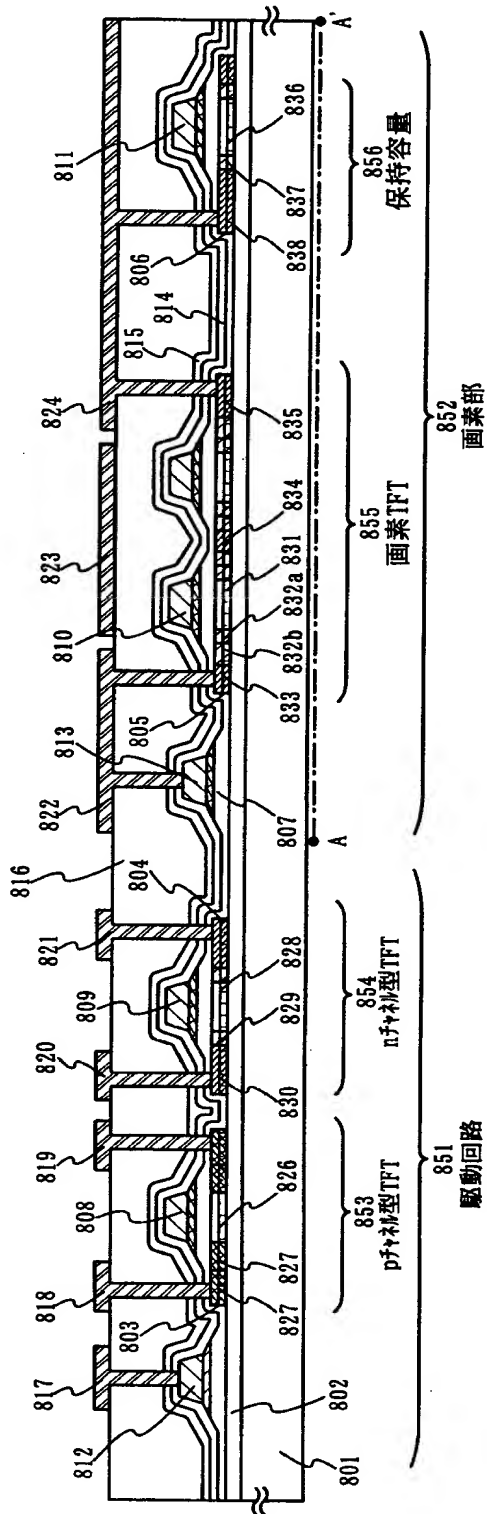


(A) マッピング測定における全測定点のプロット

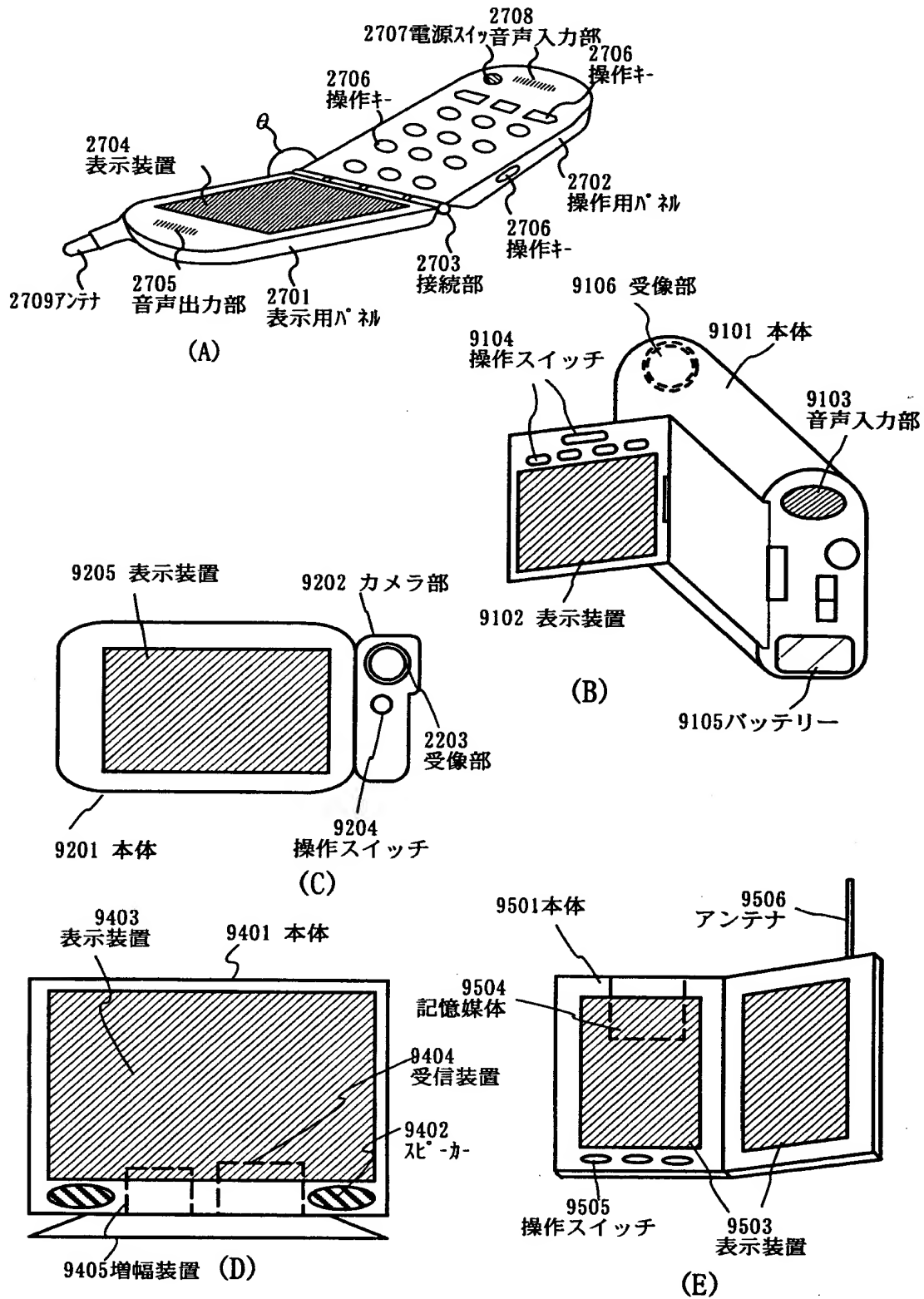


(B) 特定指数への配向の集中度を等高線表示した例

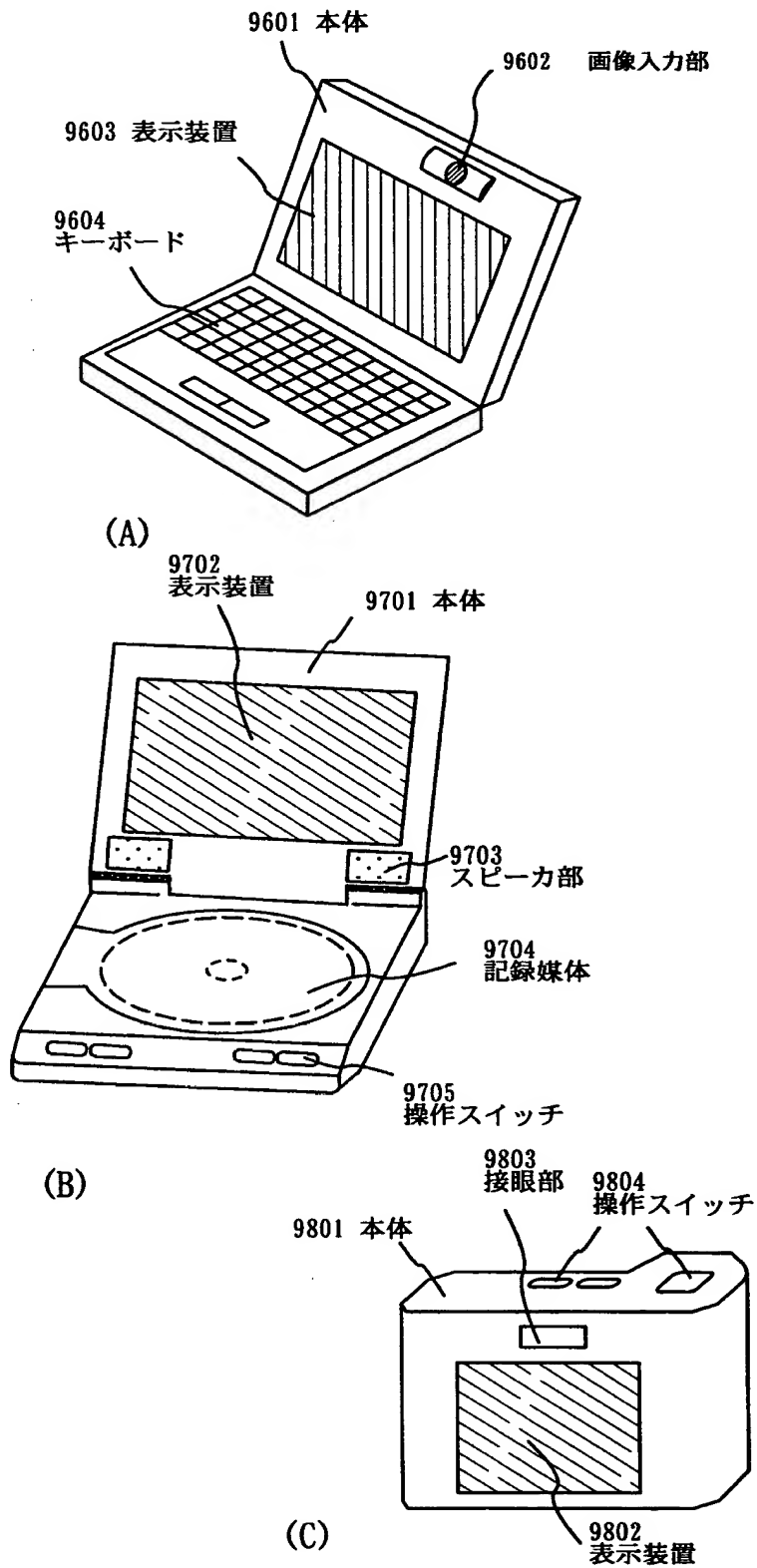
【図18】



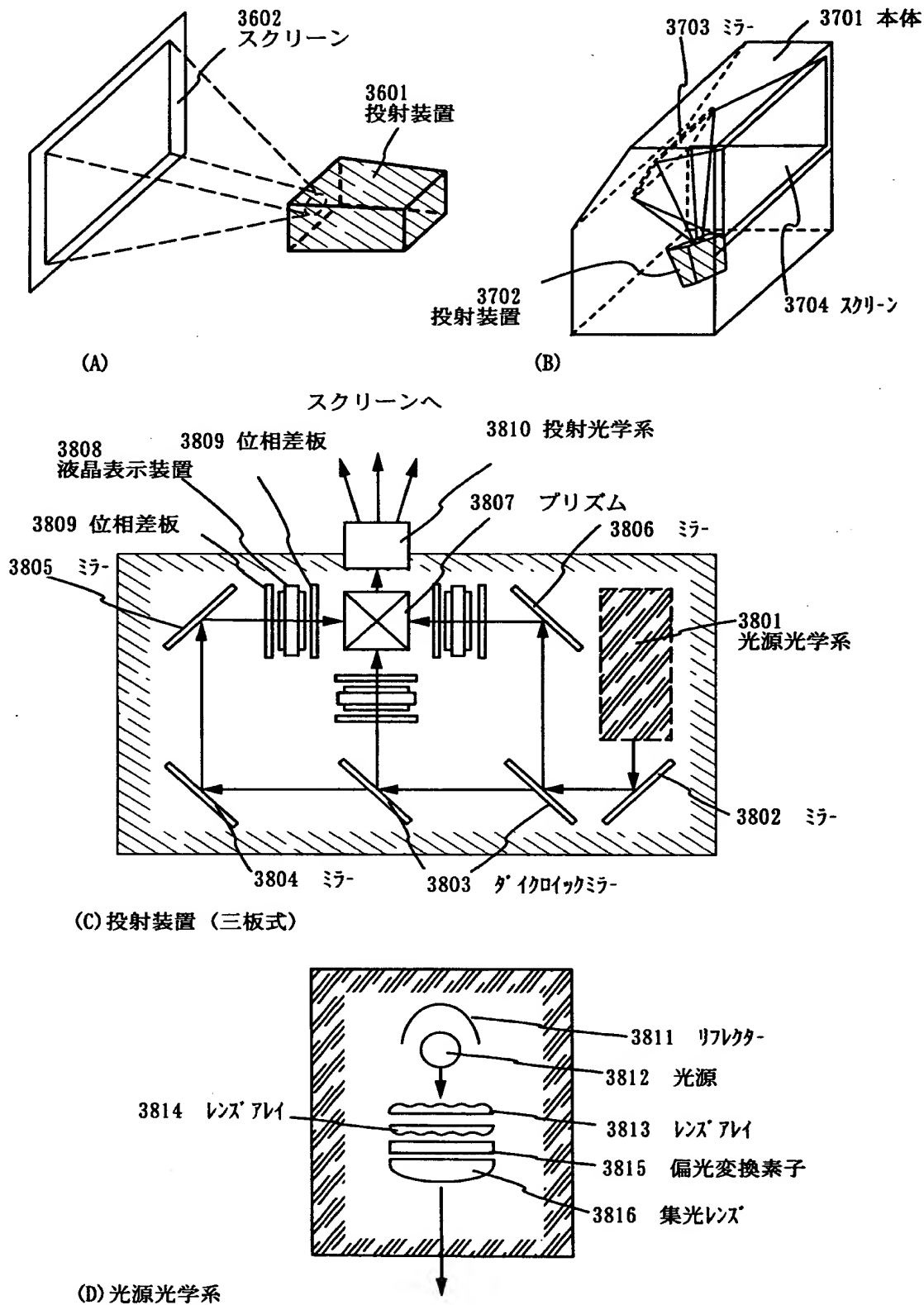
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 非晶質半導体膜を結晶化して得られる結晶質半導体膜の配向率を高め、そのような結晶質半導体膜を用いた T F T を提供することを目的とする。

【解決手段】 結晶構造を有する半導体層でチャネル形成領域を形成した半導体装置において、半導体層は、シリコンを主成分としゲルマニウムを含有する第 1 の半導体膜と、シリコンを主成分とする第 2 の半導体膜とから成り、第 1 の半導体膜及び第 2 の半導体膜に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴としている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所